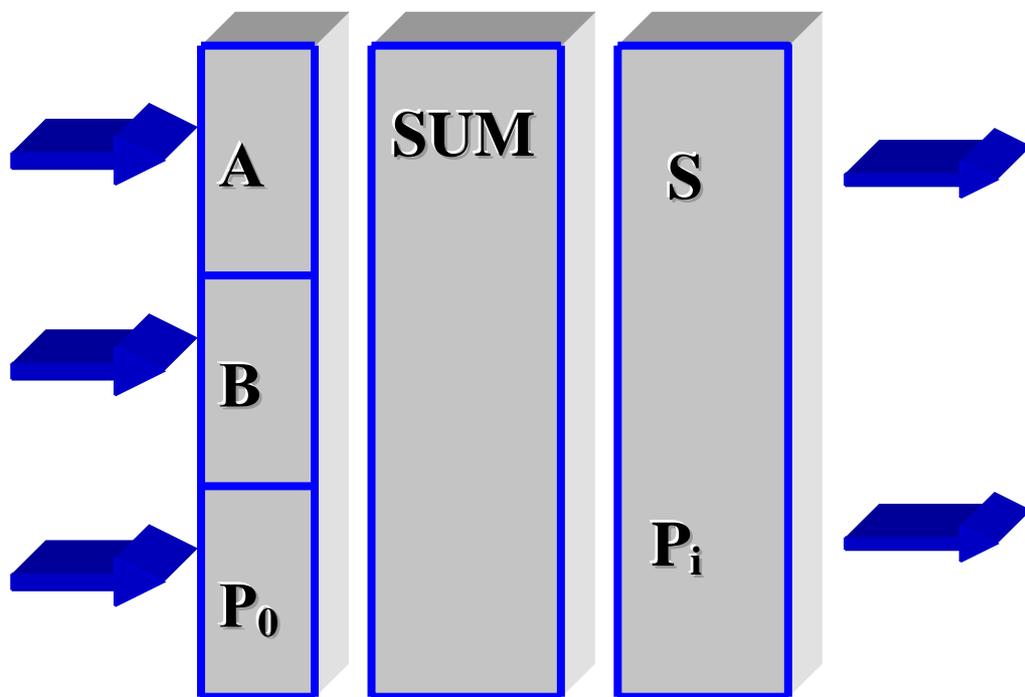


Чье Ен Ун

# ЭЛЕКТРОНИКА

ЦИФРОВЫЕ ЭЛЕМЕНТЫ И УСТРОЙСТВА



Министерство образования Российской Федерации  
Хабаровский государственный технический университет

**Чье Ен Ун**

**Э Л Е К Т Р О Н И К А.**  
**Цифровые элементы и устройства**

Рекомендовано Дальневосточным региональным  
учебно-методическим центром в качестве учебного пособия  
для студентов специальности  
210100 «Управление и информатика в технических системах»  
вузов региона

Хабаровск  
Издательство ХГТУ  
2002

УДК 621.3.049.77  
ББК 32.85  
ЧЗ4

Рецензенты: кафедра «Промышленная электроника»  
Комсомольского-на-Амуре государственного  
технического университета  
(зав.кафедрой профессор Кузнецов В.П.);  
Быков В.П., д-р. техн. наук, профессор кафедры  
автоматики и телемеханики Дальневосточного  
государственного университета путей сообщения

**Чье Ен Ун**

ЧЗ4 Электроника. Цифровые элементы и устройства: Учеб. пособ. -  
Хабаровск: Изд-во Хабар. гос. техн. ун-та, 2002. – 97 с.  
ISBN 5-7389-0192-4

Учебное пособие предназначено для изучения раздела «Цифровые элементы и устройства» дисциплины «Электроника». Содержание пособия соответствует требованиям Государственного образовательного стандарта высшего профессионального образования по направлению подготовки «Автоматизация и управление». Изложены основы построения цифровых устройств на интегральных схемах. Рассмотрены вопросы реализации устройств на элементах с программируемой структурой и особенности практического применения цифровых интегральных схем.

Данное пособие может быть использовано также студентами других инженерных специальностей при изучении дисциплин «Электроника», «Схемотехника» и др.

ISBN 5-7389-0192-4

УДК 621.3.049.77  
ББК 32.85

© Чье Ен Ун

© Издательство  
Хабаровского  
государственного  
технического  
университета, 2002

## **ВВЕДЕНИЕ**

В современных системах автоматизации и управления находят широкое применение средства обработки данных, основу которых составляют цифровые элементы и устройства. Цифровая электроника за короткий исторический период прошла путь от простейших устройств на дискретных элементах до устройств и целых систем, реализуемых на сверхбольших интегральных схемах. Развитие элементной базы изменило и подходы к расчету и проектированию цифровых устройств и систем, которые базируются на использовании функционально и конструктивно законченных элементов и устройств, выпускаемых промышленностью в виде цифровых интегральных схем.

Предлагаемое вниманию студентов учебное пособие предназначено для изучения раздела «Цифровые элементы и устройства» дисциплины «Электроника». При изложении материала автором сделана попытка компактного и доступного изложения материала с максимальным приближением к лекционной форме.

Изучение курса предполагает наличие у студентов знаний алгебры логики, методов минимизации булевых функций и синтеза комбинационных схем.

При изложении материала соблюдался принцип изучения «от простого к сложному». В первой главе рассматриваются логические элементы и их схемотехника, основные параметры и характеристики. Во второй главе излагаются вопросы построения и функционирования комбинационных устройств. Последовательностные устройства рассматриваются в третьей, четвертой и пятой главах. Принципы построения и применения БИС полупроводниковой памяти, программируемых логических матриц и базовых матричных кристаллов рассматриваются в шестой и седьмой главах. В заключительной восьмой главе пособия рассмотрены особенности применения и проектирования цифровых элементов и устройств.

В конце учебного пособия приводится список использованной при подготовке данного пособия литературы, а также литературы, рекомендуемой для углубленного изучения отдельных вопросов.

# 1. ЦИФРОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ

## 1. 1. Общие сведения о логических элементах и цифровых интегральных схемах

*Логическими элементами* (ЛЭ) называют функциональные устройства, предназначенные для реализации элементарных логических функций. Схемотехнической основой для построения ЛЭ являются транзисторные ключи. ЛЭ в цифровой технике имеют как самостоятельное применение, так и являются элементной базой для построения различных цифровых устройств, таких как триггеры, дешифраторы, регистры, счетчики и т.д. Известно, что любую сложную логическую функцию можно реализовать, используя только три типа ЛЭ: И, ИЛИ и НЕ. В современных цифровых интегральных схемах (ЦИС) на базе указанных трех типов элементов реализуются более сложные логические функции. Основные типы ЛЭ, выпускаемые в виде ЦИС и выполняемые ими логические функции, приведены в табл.1.1.

Наибольшее распространение получили ЛЭ потенциального типа, допускающие непосредственную связь входов и выходов по постоянному току. Такие элементы могут работать с сигналами произвольной длительности, представляющими собой высокий (логическая “1”) или низкий (логический “0”) уровни напряжения.

Современные ЛЭ и более сложные устройства на их основе выполняются в виде ЦИС с различной степенью интеграции. При этом под ЦИС понимают микроэлектронное изделие, выполняющее определенную функцию преобразования и обработки цифровых сигналов и имеющее высокую плотность упаковки электрически соединенных элементов на полупроводниковом кристалле.

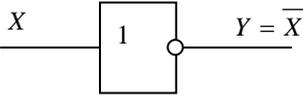
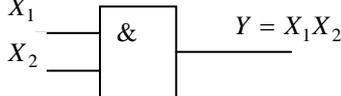
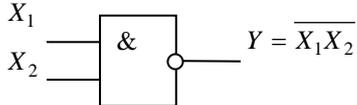
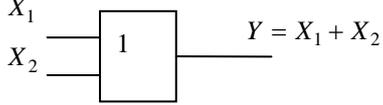
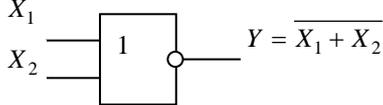
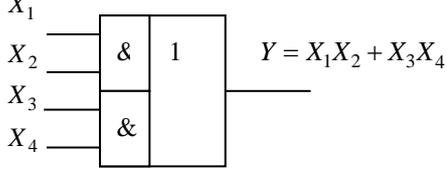
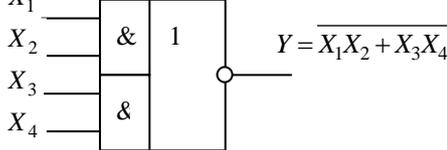
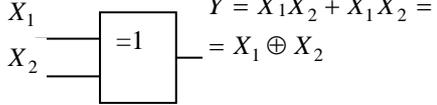
Группу ЦИС, выполненных по одинаковой технологии, имеющих сходные технические характеристики и предназначенных для совместного применения, называют *серией*.

По функциональному назначению ЦИС делятся на следующие группы:

- 1) *логические*, изменяющие логическое содержание входных сигналов – например, такие комбинационные устройства, как дешифраторы, шифраторы, мультиплексоры, демультиплексоры, сумматоры, преобразователи кодов и др.;
- 2) *запоминающие*, выполняющие функции хранения в течение заданного времени – триггеры, счетчики, регистры, запоминающие устройства;

Таблица 1.1

## Основные типы логических элементов

Элемент	Обозначение в ЦИС	Обозначения на схемах и выполняемая функция
НЕ	ЛН	
И	ЛИ	
И-НЕ	ЛА	
ИЛИ	ЛЛ	
ИЛИ-НЕ	ЛЕ	
И-ИЛИ	ЛС	
И-ИЛИ-НЕ	ЛР	
Исключающее ИЛИ	ЛП	

- 3) *вспомогательные*, обеспечивающие электрическое и временное согласование работы ИС двух первых групп – преобразователи уровня, шинные формирователи, формирователи импульсов, устройства задержки и др.

## 1. 2. Основные параметры и характеристики ЦИС

ЛЭ и ЦИС как функциональные устройства и элементы электрической цепи характеризуются совокупностью параметров и характеристик, которые условно можно разбить на следующие группы:

- функциональные;
- динамические;
- электрические;
- эксплуатационные;
- технико-экономические.

Функциональные параметры. К основным функциональным параметрам относятся:

1. Реализуемая логическая функция (например, 2И-НЕ, 8ИЛИ-НЕ).
2. Коэффициент разветвления по выходу  $K_{раз}$ , определяющий нагрузочную способность ЛЭ и показывающий, сколько входов элементов этой же серии может быть одновременно подключено к выходу ( $K_{раз}$  может составлять от 10 до 100).
3. Коэффициент объединения по входу  $K_{об}$ , характеризующий максимально допустимое число входов ЦИС, с помощью которых реализуется логическая функция ( $K_{об}$  обычно равен 2 - 16).
4. Тип выхода ЛЭ: обычный, с повышенной нагрузочной способностью, с открытым коллектором (ОК), с тремя выходными состояниями.

Динамические параметры. Динамические параметры характеризуют быстродействие ЛЭ и определяются по времени задержки распространения сигналов с использованием временных диаграмм входных и выходных (рис. 1. 1).

К динамическим параметрам относятся:

1.  $t_{зд.p}^{1,0}$  - время задержки при включении.
2.  $t_{зд.p}^{0,1}$  - время задержки при выключении.
3. Среднее время задержки распространения:

$$t_{зд.p.ср} = \frac{1}{2} (t_{зд.p}^{1,0} + t_{зд.p}^{0,1}).$$

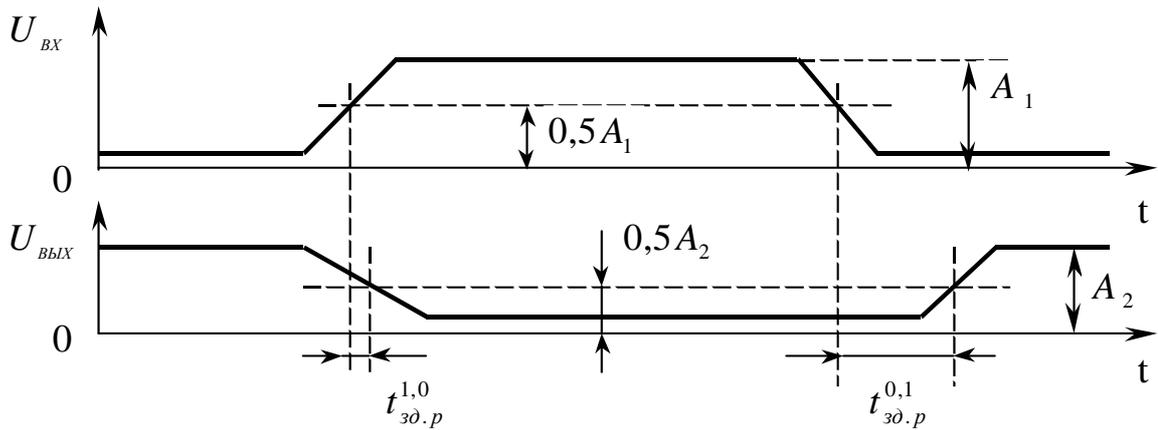


Рис. 1. 1. Временные диаграммы сигналов ЛЭ

Электрические параметры. На рис. 1.2 приведена характеристика переключения ЛЭ инвертирующего типа, по которой определяются ряд электрических параметров.

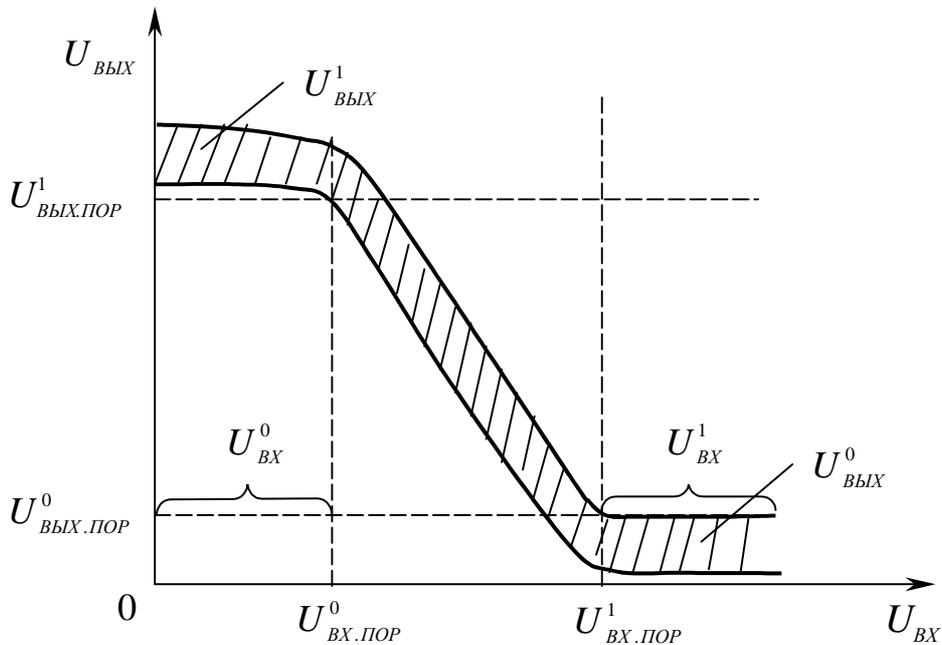


Рис. 1. 2. Характеристика переключения ЛЭ

1. Напряжения высокого  $U^1$  и низкого  $U^0$  уровней (входные  $U_{ВХ}^1$ ,  $U_{ВХ}^0$  и выходные  $U_{ВЫХ}^1$ ,  $U_{ВЫХ}^0$ ) и их допустимые отклонения (рис. 1.2).

2. Пороговые напряжения высокого  $U_{ПОР}^1$  и низкого  $U_{ПОР}^0$  уровней (входные  $U_{ВХ.ПОР}^1$ ,  $U_{ВХ.ПОР}^0$  и выходные  $U_{ВЫХ.ПОР}^1$ ,  $U_{ВЫХ.ПОР}^0$ ). Под пороговым напряжением понимают наименьшее  $U_{ПОР}^1$  или наибольшее  $U_{ПОР}^0$  значения соответствующих уровней, при котором происходит переход ЛЭ в другое состояние.

3. Входные  $I_{ВХ}^0$ ,  $I_{ВХ}^1$  и выходные  $I_{ВЫХ}^0$ ,  $I_{ВЫХ}^1$  токи при соответствующих уровнях напряжений.

4. Статическая помехоустойчивость - это максимальное значение напряжения помехи на выходе ЛЭ, которое может вызвать срабатывание подключенного к нему ЛЭ той же серии и оценивается как минимальная разность между значениями выходного и входного сигналов данного уровня:

$$U_{ПОМ}^1 = U_{ВЫХ.min}^1 - U_{ВХ.ПОР}^1 ;$$

$$U_{ПОМ}^0 = U_{ВХ.ПОР}^0 - U_{ВЫХ.max}^0 .$$

5. Динамическая помехоустойчивость характеризует максимально допустимую амплитуду помехи при заданной ее длительности, которая не приведет к срабатыванию элемента. При этом речь идет о длительностях помехи меньших или соизмеримых с длительностью задержки распространения сигнала через ЛЭ.

Эксплуатационные параметры. Эксплуатационные параметры определяют режимы и условия эксплуатации:

1. Напряжение питания  $E_{П}$  и его допустимые отклонения.
2. Допустимые значения уровней напряжения логических сигналов  $U_{min}^1$  и  $U_{max}^0$ .
3. Допустимые входные  $I_{вх.m}^0$ ,  $I_{вх.m}^1$  и выходные токи  $I_{вых.m}^0$ ,  $I_{вых.m}^1$  в состояниях 0 и 1.
4. Токи  $I_{ПОТ}^1$ ,  $I_{ПОТ}^0$ , мощности потребления ИС  $P_{ПОТ}^1$ ,  $P_{ПОТ}^0$  для двух состояний и средняя потребляемая мощность:

$$P_{ПОТ.СР} = 0,5(P_{ПОТ}^1 + P_{ПОТ}^0).$$

Для сравнения между собой ИС различных серий используют интегральный параметр - энергию переключения

$$\mathcal{E} = P_{ПОТ.СР} \cdot t_{зд.p.ср},$$

которая показывает работу, затрачиваемую на выполнение единичного переключения.

Технико-экономические параметры. К основным технико-экономическим параметрам ЦИС относятся:

1. Стоимость.
2. Степень интеграции, характеризующая число транзисторов и других компонентов  $N$  на кристалле:

$$G = Ent [\lg N] + 1,$$

где  $Ent [ \cdot ]$  – операция выделения целой части числа.

В зависимости от значения  $G$  ЦИС подразделяются на:

- ЦИС первой или малой степени интеграции ( $G = 1$ );
- ЦИС второй или средней степени интеграции ( $G = 2$ );
- ЦИС третьей или большой степени интеграции или БИС ( $G = 3$ );
- ЦИС сверхбольшой степени интеграции или СБИС ( $G \geq 4$ ).

3. Функциональная сложность, характеризующая число условных логических преобразований, выполняемых ЦИС.

К технико-экономическим параметрам также относятся площадь кристалла, процент выхода годных ЦИС при их производстве и надежность.

### **1. 3. Основные серии ЦИС и их сравнительная характеристика**

Функциональные возможности, параметры и характеристики ЦИС в значительной степени определяются технологией их изготовления. В настоящее время наиболее распространены ЦИС универсального назначения, изготовленные по следующим технологиям: транзисторно-транзисторная логика (ТТЛ), комплементарная МОП-логика (КМОП) и эмиттерно-связанная логика (ЭСЛ).

ТТЛ ЦИС являются наиболее распространенными благодаря технологической отработанности и характеризуются:

- высоким быстродействием;
- помехоустойчивостью;
- умеренным энергопотреблением;
- хорошей нагрузочной способностью;
- низкой стоимостью.

Первым разработчиком ТТЛ ЦИС является фирма Texas Instruments, которая выпустила базовые серии SN74 и SN54. Дальнейшим развитием ТТЛ ЦИС является ТТЛ на базе транзисторов Шоттки (Shottky) - ТТЛШИС (SN74S/SN54S), которые обладают более высоким быстродействием. Отечественной промышленностью выпускается несколько полностью совместимых серий ТТЛ ЦИС:

- универсальные (серии 133, 155);
- быстродействующие (ТТЛШ – серии 530, 531, 1531, с быстродействием в 3-4 раза выше, чем у универсальной серии);
- микро мощные (серии с низким энергопотреблением ТТЛШ 533, 555, 1533, 1555, с энергопотреблением в 5-10 раз более низким, чем у универсальной серии при сравнимом быстродействии).

**КМОП ЦИС** построены на базе комплементарных МОП-транзисторах и характеризуются низким энергопотреблением при умеренном быстродействии.

Основными достоинствами КМОП ЦИС являются:

- исключительно низкое энергопотребление при работе на тактовых частотах до 2 МГц (в статическом режиме потребляемая мощность не превышает 1 мкВт);
- высокая помехоустойчивость;
- широкий диапазон питающих напряжений (от 3 до 15 В);
- большой коэффициент разветвления  $K_{раз} = 50-100$ ;
- сравнительно низкая стоимость.

При этом КМОП ЦИС имеют следующие недостатки:

- низкое быстродействие;
- низкую нагрузочную способность по току;
- большое выходное сопротивление;
- ограниченные возможности при работе на емкостную нагрузку ( $C_n < 500$  пФ);
- сильную подверженность влиянию статического электричества (при напряжениях свыше 30-50 В на затворе происходит пробой диэлектрика и МОП-транзисторы выходят из строя).

Первым разработчиком КМОП ЦИС была фирма RCA, которая выпустила в 1968 г. серию CD4000. Отечественной промышленностью выпускаются следующие серии КМОП ЦИС:

- универсальные (серии 164, 176, 561, 564);
- с улучшенными характеристиками (серии 1561, 1564).

Указанные недостатки свойственны КМОП ЦИС ранних разработок. Совершенствование технологии изготовления КМОП ЦИС привело к тому, что новейшие разработки превосходят по быстродействию и потребляемой мощности ТТЛ ЦИС. В качестве примера можно привести КМОП ЦИС серии 74АС (отечественный аналог серия 1554) фирмы «NATIONAL». ЦИС данной серии обладают низкой потребляемой мощностью с возможностью работы в диапазоне питающих напряжений от 2 до 6 В, свойственной КМОП сериям; высоким быстродействием и большим выходным током, свойственным ТТЛ сериям. Наглядное сравнение по основным характеристикам ТТЛ и КМОП ЦИС дает рис.1.3.

**ЭСЛ ЦИС** являются наиболее быстродействующими (субнаносекундные с временем задержки распространения единицы наносекунд), но имеют при этом следующие недостатки:

- большую потребляемую мощность;
- ограниченный диапазон рабочих температур;
- сложность согласования уровней сигналов с ИС других серий.

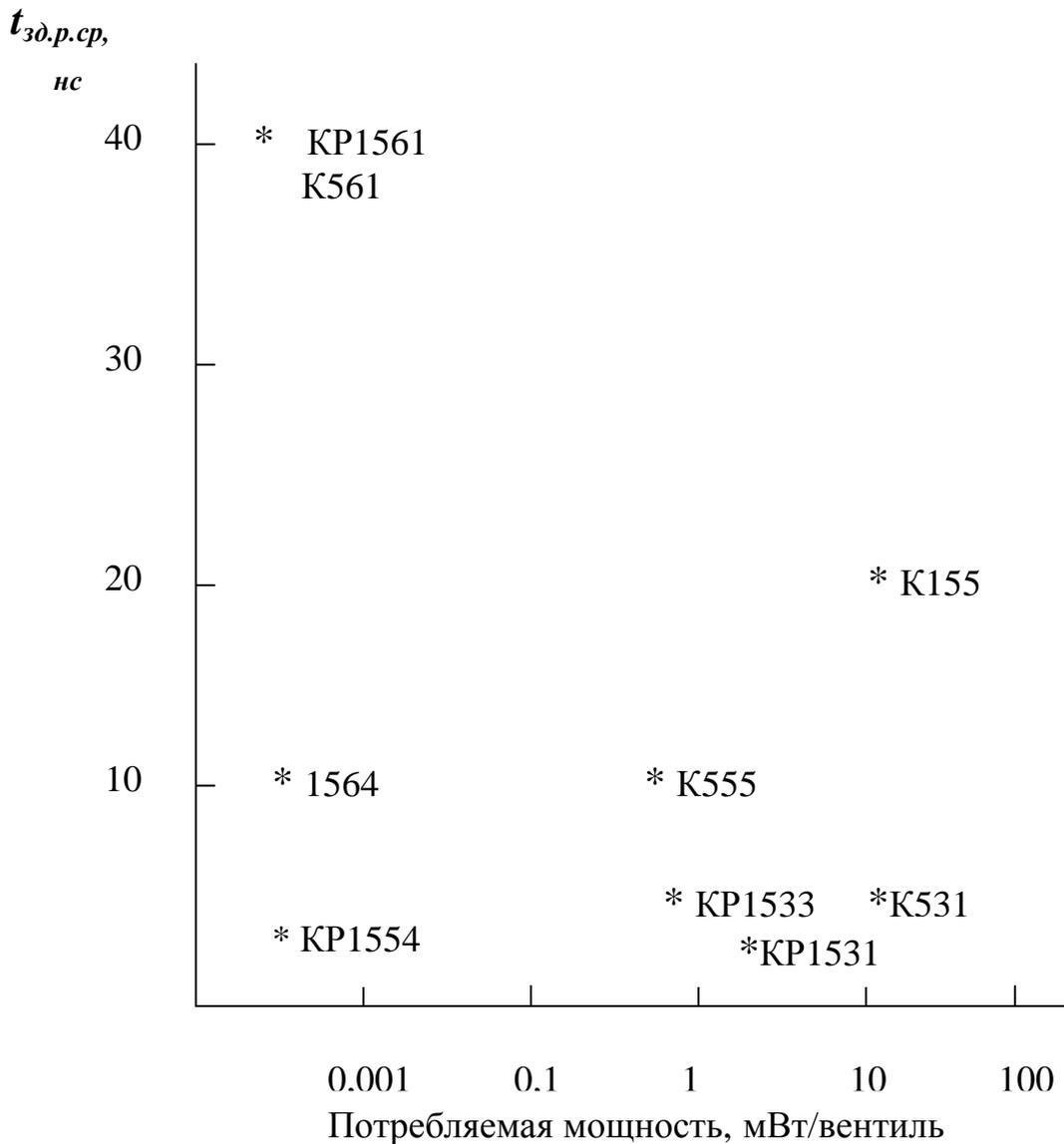


Рис. 1. 3. Сравнительная характеристика TTL и КМОП-серий

Первым разработчиком ЭСЛ ЦИС является фирма Motorola, выпустившая базовые серии MC10000 (MC10K) и MC100000 (MC100K).

Основные серии отечественных ЭСЛ ЦИС – 100, 500, 1500. Основной областью применения ЭСЛ ЦИС являются быстродействующие устройства цифровой обработки информации.

Сравнительная характеристика основных серий ЦИС по основным параметрам приведена в табл. 1.2. Сравнительные данные по основным электрическим параметрам приведены в табл. 1.3.

Для ЦИС общего применения рабочий диапазон температур составляет от  $-10$  до  $+70^{\circ}\text{C}$ , для ЦИС специального применения - от  $-60$  до  $+125^{\circ}\text{C}$ .

Таблица 1. 2

Сравнительная характеристика основных серий ЦИС  
по основным параметрам

Тип ЦИС	Серия	Потребляемая мощность $P_{пот.ср}$ , мВт	Среднее время задержки распространения $t_{зд.р.ср}$ , нс	$K_{раз}$	Отечественные аналоги
ТТЛ	74/54	10	10	10	155/133
	74LS/54LS	2	10	20	555/533
	74ALS	1	4	40	1533
	74F	4	2	30	1531
КМОП	CD4000A	50 мкВт	100	50	561/564
	CD4000B	100 мкВт	30	100	1561
	54НС	100 мкВт	10	50	1564
	74АС	20-40 мкВт	3,5	>100	1554
ЭСЛ	МС10К	35	3	15	100/500
	МС100К	40	0,75	20	1500

Таблица 1. 3

Сравнительные данные по основным электрическим параметрам

Параметры	ТТЛ	КМОП	ЭСЛ
Напряжение питания $E_{п}$ , В	5	3-15	-5,2 (- 4,5) и -2,0
Уровень логического «0», В	< 0,4	0	- 1,63 (-1,8)
Уровень логической «1», В	> 2,4	$E_{п}$	- 0,9
Статическая помехоустойчивость, В	(0,3-0,4)	$0,3E_{п}$	0,125
Входные токи, мА: логического «0» логической «1»	$\leq 2$ $\leq 0,15$	$\ll 1$ мкА $\ll 1$ мкА	0,265 0,5
Выходные токи, мА: логического «0» логической «1»	$\leq 20$ 0,5-1,0	$\leq 3$ 2	$\leq 0,2$ 5-20

## 1. 4. Схемотехника ЦИС

Существуют различные схемотехнические реализации ЦИС в зависимости от применяемой элементной базы (биполярные или полевые транзисторы) и технологических особенностей их реализации. Рассмотрим схемотехнику наиболее распространенных ЦИС на примере построения базовых ЛЭ НЕ, И-НЕ и ИЛИ-НЕ.

### 1. 4. 1. Схемотехника ТТЛ – ЦИС

Схема ЛЭ обычно содержит три основных узла: входной для реализации требуемой логической функции, промежуточный для усиления с целью повышения помехоустойчивости и обеспечения крутизны передаточной характеристики и выходной для обеспечения требуемой нагрузочной способности и крутизны фронтов выходного сигнала. На рис. 1.4,*а* приведена схема ТТЛ - инвертора. Входной узел выполнен на транзисторе VT1, который можно представить в виде двух диодов заменяющих эмиттерный ЭП и коллекторный КП-переходы (рис. 1.4,*б*). На транзисторе VT2 выполнен усилитель-формирователь для управления сложным выходным инвертором на транзисторах VT3 и VT4. Усилитель-формирователь и сложный инвертор образуют формирователь-инвертор ФИ. Все транзисторы в режиме насыщения имеют  $U_{кэ.нас} \approx 0,2$  В.

При подаче на вход низкого уровня сигнала  $U_{ВХ}^0 = (0 \dots 0,4)$  В ЭП транзистора VT1 смещается в прямом направлении, т.к. напряжение на базе этого транзистора выше, чем на эмиттере, а КП - в обратном направлении. Ток базы транзистора VT2, равный обратному току коллектора VT1, не достаточен для отпирания транзистора VT2, и он находится в запертом состоянии. При этом величина напряжения на его коллекторе  $U_{к2}$  достаточна для отпирания транзистора VT3. Напряжение на эмиттере VT2, равное падению напряжения на резисторе R3 от тока запертого эмиттерного перехода VT2, не достаточно для отпирания транзистора VT4. Таким образом, при подаче низкого уровня входного сигнала транзистор VT3 открыт, а VT4 заперт. При этом на выходе схемы будет высокий уровень напряжения  $U_{ВЫХ}^1 \approx 3,3$  В. Этот режим работы схемы соответствует участку *a-b* на передаточной характеристике ЛЭ, показанной на рис. 1.4,*в*.

При подаче на вход высокого уровня входного сигнала  $U_{ВХ}^1 = (1,9 \dots 4,5)$  В ЭП транзистора VT1 смещается в обратном направлении, а КП - в прямом. Ток базы транзистора VT2, равный коллекторному току прямосмещенного КП транзистора VT1, достаточен для отпирания транзистора VT2. Отпирание этого транзистора снижает напряжение на базе транзистора VT3 и увеличивает на базе VT4.

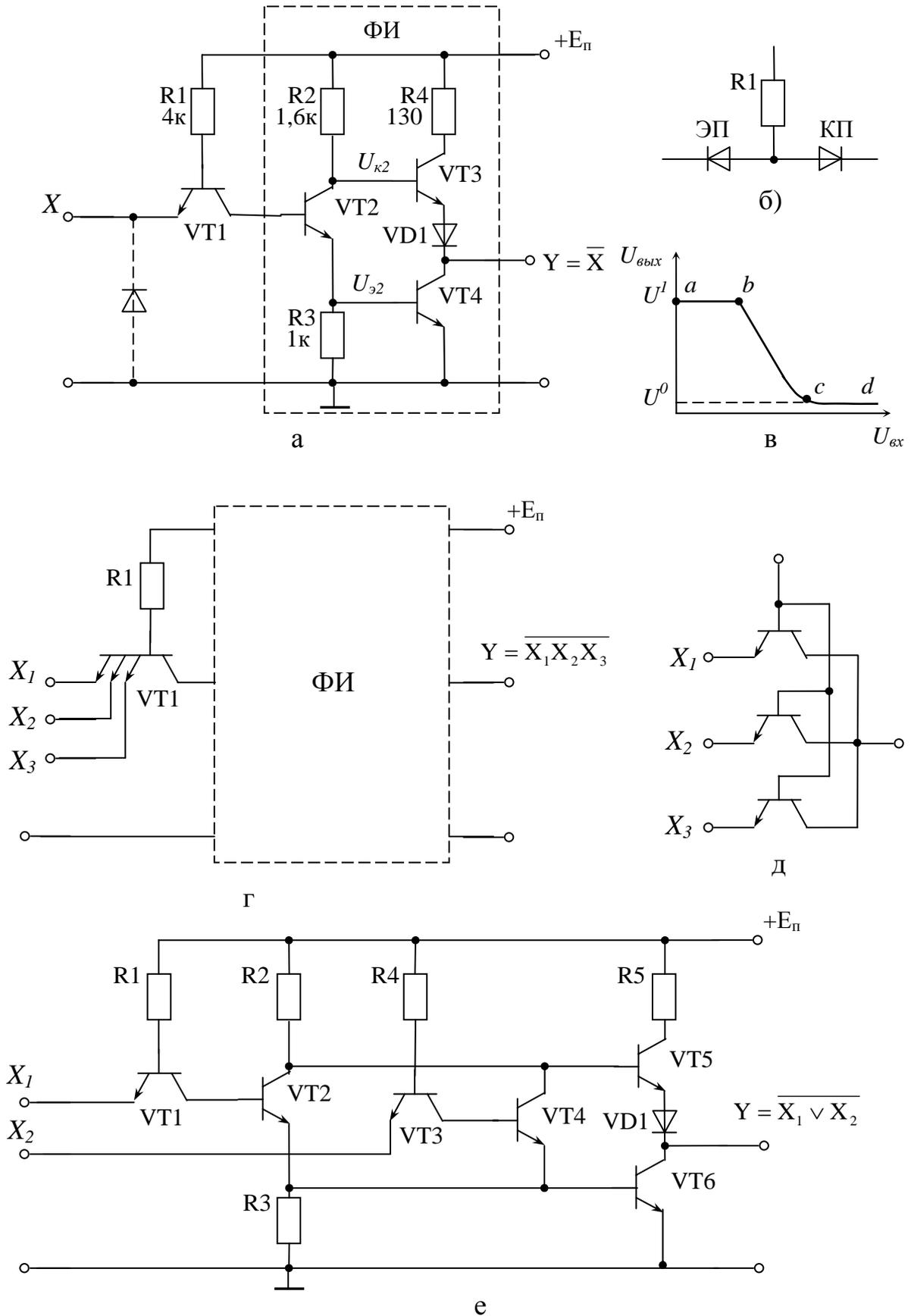


Рис. 1. 4. Схематехника ТТЛ-ЦИС

В результате этого транзистор VT3 запирается, а VT4 открывается и на выходе формируется низкий уровень выходного напряжения  $U_{ВЫХ}^0 < 0,4$  В. Данному состоянию ЛЭ соответствует участок *c-d* на передаточной характеристике (рис. 1.4,в). Таким образом, данная схема выполняет функцию инвертора.

Диод VD1 служит для надежного запираения транзистора VT3 путем увеличения порогового отпирающего напряжения на величину падения напряжения на этом диоде. При отпирании транзистора VT2 напряжение на базе транзистора VT3

$$U_{б3} = U_{кэ.нас2} + U_{бэ4} \approx 0,2 + 0,8 = 1В$$

и если диод VD1 отсутствует, то

$$U_{бэ3} = U_{б3} - U_{кэ.нас4} \approx 1 - 0,2 = 0,8В,$$

чего вполне достаточно, чтобы транзистор VT3 открылся. При включенном диоде VD1

$$U_{бэ3} = U_{б3} - U_{VD1} - U_{кэ.нас4} \approx 0В$$

и транзистор VT3 надежно запирается.

Резистор R4 служит для ограничения тока выходных транзисторов в переходных режимах, когда оба транзистора работают в активной области (участок *b-c* на рис.1.4,в).

Рассмотренный инвертор служит основой для построения других ЛЭ. Для реализации логической функции И-НЕ входной транзистор заменяется на многоэмиттерный транзистор, как показано на рис.1.4,з. Многоэмиттерный транзистор можно представить в виде отдельных транзисторов с объединенными выводами баз и коллекторов, как показано на рис.1.4,д. Для того чтобы на выходе ЛЭ был низкий уровень ( $Y=0$ ) транзистор VT2 должен быть открыт, а это возможно только в том случае, если на все входы подан высокий уровень, т.е.  $X_1 = X_2 = X_3 = 1$ . Во всех остальных случаях один из эмиттерных переходов транзистора VT1 открывается, что приводит к снижению напряжения на базе этого транзистора с 2,2 В до 0,9 В. А этого напряжения не достаточно для отпирания трех последовательно включенных переходов: коллекторного VT1 и двух эмиттерных VT2, VT4. Следовательно, на выходе ЛЭ имеем высокий уровень, т.е.  $Y = 1$ . Зависимость выходного уровня сигнала от состояний его входов для рассмотренной схемы соответствует ЛЭ типа 3И-НЕ. Количество входов в ЛЭ типа И-НЕ может варьироваться от 2 до 8.

На рис.1.4,е приведена схема ЛЭ типа 2ИЛИ-НЕ. Основу такого ЛЭ составляет схема инвертора (рис.1.4,а), в которую дополнительно введены еще один входной узел на транзисторе VT3 и транзистор VT4. Эту схему может представить в виде двух инверторов, работающих на один выходной инвертор. В данной схеме выходной инвертор управляется либо по первому входу  $X_1$ , либо по второму  $X_2$ . Выходной сигнал в этой схеме принимает высокий уровень только в том случае, если на оба входа поданы низкие уровни. Во всех остальных случаях на выходе будет низкий

уровень. При замене обычных транзисторов VT1 и VT3 на многоэмиттерные можно реализовать логическую функцию типа И-ИЛИ-НЕ.

Для повышения помехоустойчивости и защиты от отрицательных напряжений на входах всех ТТЛ – ЛЭ устанавливают так называемые антизвонные диоды (показано пунктиром на рис.1.4,*a*). В нормальном режиме работы эти диоды смещены в обратном направлении и не оказывают влияния на работу ЛЭ. При действии отрицательных перепадов напряжения, что возможно при возникновении переходных процессов колебательного характера за счет влияния паразитных индуктивностей и емкостей в схеме, диоды открываются и защищают входы ЛЭ, а также демпфируют переходные процессы.

Выше были рассмотрены ЛЭ со стандартным выходом в виде сложного двухтранзисторного инвертора, обеспечивающего для типовой серии ТТЛ ЦИС  $K_{раз} = 20$ . Кроме ЛЭ со стандартным выходом в составе серий имеются также ЛЭ и ЦИС со специальными выходами. Это элементы с открытым коллектором (ОК) и с тремя выходными состояниями.

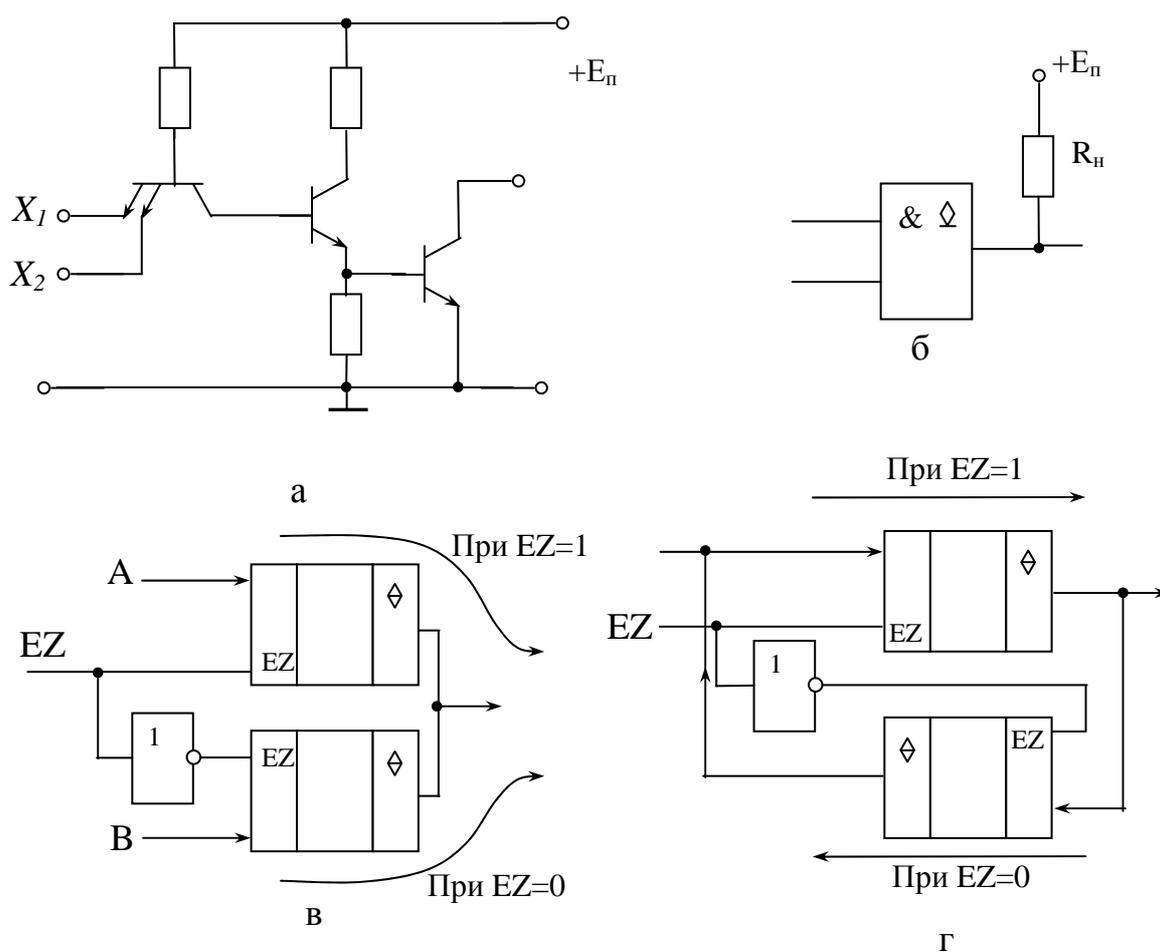


Рис. 1. 5. ЛЭ и ЦИС со специальными выходами

В элементах с ОК отсутствует в выходном инверторе верхний транзистор и нагрузочное сопротивление. Вывод коллектора нижнего транзистора выведен наружу (рис.1.5,*а*). Коллектор выходного транзистора подключается через внешнюю нагрузку к источнику питания. В условном графическом обозначении ЛЭ с ОК содержится специальный знак в виде подчеркнутого снизу ромба (рис.1.5,*б*). В качестве внешней нагрузки может вступать резистор, элемент индикации (например, светодиод или лампочка накаливания), обмотка реле и т.д. Элементы с ОК имеют повышенную нагрузочную способность, например, для ЛЭ 155ЛН5  $I_{Вых}^0 = 40$  мА, в то время как ЛЭ со стандартным выходом имеют  $I_{Вых}^0 = 16$  мА. Отдельные ЛЭ с ОК допускают работу выходного транзистора с повышенным напряжением, например ЛЭ 155ЛН3 может работать с напряжением на коллекторе до 30 В. Элементы с ОК используются также для реализации монтажной (проводной) логики. При объединении нескольких выходов ЛЭ с ОК на один внешний нагрузочный резистор реализуется логическая функция «монтажное ИЛИ» (см. § 8.4).

Выход ЛЭ со стандартным выходом может принимать два логических состояния «0» или «1». В первом состоянии выход ЛЭ подключается к шине «земля» через нижний транзистор выходного инвертора, а во втором случае – к шине питания через верхний транзистор. Выпускаются также ЦИС, у которых выход может находиться в трех состояниях «0», «1» и высокоимпеданное, при котором оба транзистора выходного инвертора заперты, и выход ЛЭ отключается от нагрузки. Для перевода выхода в третье состояние используется отдельный сигнал управления EZ. В условном графическом обозначении ЦИС с тремя выходными состояниями содержится специальный знак в виде ромба. Выпускаются ЦИС с тремя выходными состояниями как комбинационного типа, так и последовательностного типа. Такие ЦИС применяются в тех случаях, когда отдельные узлы цифрового устройства должны поочередно работать на общую нагрузку или на общую магистраль с двунаправленным обменом данных. Примеры подключения ЦИС для этих случаев приведены на рис. 1.5, *а* и *б*.

#### 1.4.2. Схемотехника КМОП - ЦИС

Базовая схема КМОП – инвертора показана на рис.1.6,*а*. Схема включает два МОП – транзистора с индуцированным каналом с разной проводимостью каналов и объединенными затворами. Если на вход подать высокий уровень сигнала ( $X = 1$ ), то напряжение на затворе транзистора VT1 превысит пороговое, а на затворе VT2 будет ниже порогового. Поэтому транзистор VT1 откроется и выход схемы окажется подключен к шине “земля” через открытый канал с сопротивлением около 300 Ом этого транзистора, а транзистор VT2 будет заперт. В результате на выходе будет

низкий уровень напряжения, т.е.  $Y = 0$ . При подаче низкого входного уровня сигнала ( $X = 0$ ) состояние транзисторов меняется на противоположное, и теперь выход инвертора окажется подключенным через открытый канал с сопротивлением около 500 Ом транзистора VT2 к шине питания и на выходе будет высокий уровень напряжения, т.е.  $Y = 1$ . Благодаря применению полевых транзисторов с изолированным затвором для управления КМОП – ИС требуются очень низкие мощности сигналов, так ток затвора не превышает 1 нА.

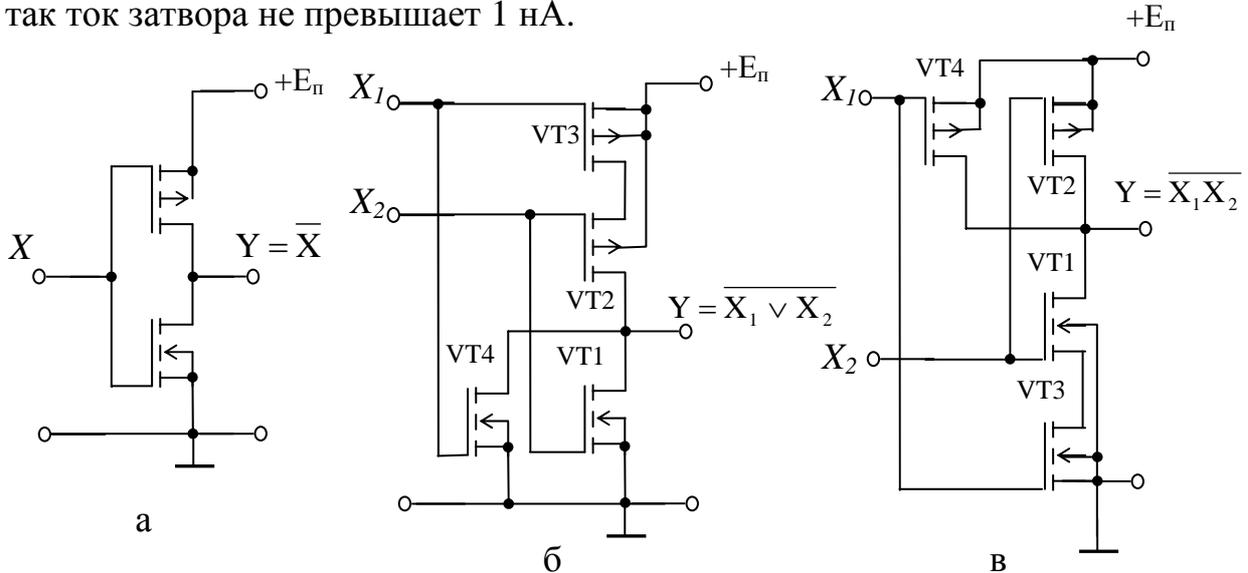


Рис. 1. 6. Схемотехника КМОП – ЦИС

Рассмотренная схема инвертора является основой для построения ЛЭ других типов. На рис. 1.6, б и в приведены схемы, реализующие функции 2ИЛИ-НЕ и 2И-НЕ. В схеме ИЛИ-НЕ инвертор на транзисторах VT1 и VT2 подключается к шине питания через транзистор VT3. При подаче на оба входа низкого уровня транзисторы VT1 и VT4 запираются, а транзисторы VT2 и VT3 отпираются. Следовательно, на выходе появится высокий уровень напряжения. Если на один или оба входа подать напряжение высокого уровня, транзисторы VT2 и VT3 запираются, а один или оба нижних транзистора открываются, и на выходе будет низкий уровень напряжения.

В схеме И-НЕ инвертор на транзисторах VT1 и VT2 подключается к шине “земля” через транзистор VT3, а VT4 подключается параллельно верхнему транзистору инвертора. При подаче на один или оба входа напряжения низкого уровня один из нижних транзисторов будет всегда заперт, а один из верхних открыт и на выходе будет высокий уровень напряжения. Для получения низкого уровня напряжения на выходе необходимо, чтобы оба нижних транзистора были открыты, а оба верхних транзистора – закрыты. Такое состояние возможно только в том случае, если на оба входа одновременно подается высокий уровень напряжения.

В КМОП–сериях также имеются ЛЭ с открытым стоком и ЦИС с тремя выходными состояниями.

### 1. 4. 2. Схемотехника ЭСЛ – ЦИС

Принцип действия ЭСЛ-ЦИС основан на переключении тока, которое реализуется с помощью дифференциального усилительного каскада. На рис. 1. 7,а показан переключатель тока. На один из входов транзистора подается опорное напряжение  $U_{on} = 0,6$  В относительно “земли”. В зависимости от соотношения между  $U_{ex}$  и  $U_{on}$  ток  $I_0$  протекает через один из транзисторов. При  $U_{ex} > U_{on}$  ток протекает через транзистор VT1 и напряжение на его коллекторе снижается, а транзистор VT2 заперт и напряжение на его коллекторе повышается. При  $U_{ex} < U_{on}$  состояния транзисторов меняются, и соответственно меняются и уровни выходных напряжений на противоположные. Таким образом, дифференциальный усилитель превращается в ЛЭ, у которого имеются одновременно два выхода: прямой и инверсный. Для повышения помехоустойчивости заземляются коллекторные цепи схемы, а источник питания подключается к эмиттерным цепям. При этом ток потребления  $I_n$  вытекает из схемы, что снижает влияние помех, проникающих по цепям питания. Высокое быстродействие схемы обеспечивается тем, что ни один из транзисторов не работает в режиме насыщения.

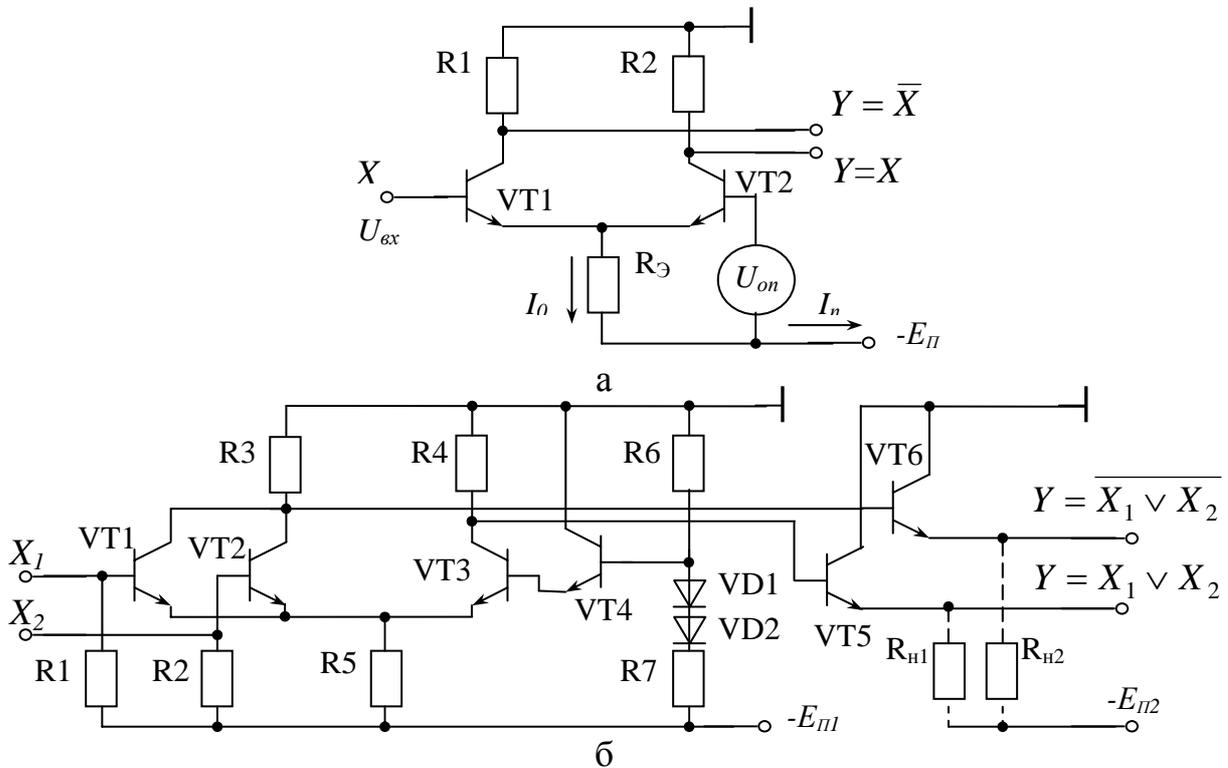


Рис. 1. 7. Схемотехника ЭСЛ – ЦИС

Схема ЭСЛ-ЛЭ типа 2ИЛИ показана на рис. 1. 7,б. На транзисторе VT1 реализован второй вход ЛЭ. Ко входам ЛЭ подключаются входные резисторы R1 и R2, что позволяет в отличие от ЛЭ других серий оставлять свободными неиспользуемые входы. Источник опорного напряжения реализован на резисторах R6, R7 и диодах VD1, VD2. Транзистор VT4, работающий в режиме эмиттерного повторителя, служит для повышения нагрузочной способности источника опорного напряжения. Для снижения выходного сопротивления к выходам переключателя тока подключены эмиттерные повторители на транзисторах VT5 и VT6 с внешними нагрузочными резисторами R<sub>н1</sub> и R<sub>н2</sub>, т.е. ЭСЛ-ЛЭ имеют выход с открытым эмиттером. Внешние резисторы подключаются, если ЛЭ являются оконечными. При работе на входы других ЛЭ в качестве этих резисторов используются резисторы, установленные во входных цепях ЛЭ. Значения сопротивлений внешних резисторов могут находиться в широких пределах от 50 Ом до 30 кОм, что позволяет, в частности, обеспечить работу ЛЭ на линии связи с согласованной нагрузкой. Для снижения потребляемой мощности при работе на низкоомную нагрузку и повышения помехоустойчивости эмиттерные повторители могут запитываться от второго источника с пониженным напряжением.

#### Контрольные вопросы и задания

1. Дайте определения таким понятиям как ЦИС, серия.
2. Перечислите основные типы и обозначения ЛЭ, выпускаемых в виде ЦИС.
3. Перечислите основные параметры и характеристики ЦИС.
4. Дайте сравнительную характеристику и области применения ТТЛ ТТЛШ, КМОП и ЭСЛ-ЦИС.
5. Поясните понятия «открытый коллектор», «три выходных состояния».
6. Приведите схемы подключения элементов индикации (лампа накаливания, светодиод) и реле к ЛЭ. Какие требования предъявляются при этом к ЛЭ?

#### Выводы

**ЛЭ могут применяться как самостоятельные изделия, так и в качестве элементной базы для построения более сложных устройств.**

**Параметры и характеристики ЦИС зависят от технологии их изготовления.**

**ЦИС выпускаются как со стандартным выходом, так и со специальными выходами (открытый коллектор, открытый сток, с тремя состояниями), которые расширяют их функциональные возможности.**

## 2. КОМБИНАЦИОННЫЕ ЦИФРОВЫЕ УСТРОЙСТВА

*Комбинационные* цифровые устройства предназначены для преобразования цифровых сигналов на основе комбинационных логических схем, и, следовательно, выходные состояния таких устройств не зависят от предыстории, а однозначно определяются входными сигналами в рассматриваемые моменты времени. Другими словами комбинационные устройства не содержат элементы памяти. К основным типам комбинационных устройств относятся сумматоры, дешифраторы и шифраторы, мультиплексоры и демультимплексоры, преобразователи кодов, схемы сравнения, пороговые и мажоритарные элементы и др.

### 2. 1. Сумматоры

Различают полные сумматоры и полусумматоры. *Полный сумматор* предназначен для сложения трех одноразрядных чисел  $A$ ,  $B$  и  $C$ , где в качестве числа  $C$  выступает перенос из предыдущего разряда  $P$ . В результате выполнения операции сложения в каждом разряде, кроме суммы, может возникнуть перенос в старший разряд  $P$ . Для построения схемы сумматора составим таблицу истинности (табл. 2. 1).

Таблица 2. 1  
Таблица истинности полного сумматора

№	$A_i$	$B_i$	$P_{i-1}$	$S_i$	$P_i$
0	0	0	0	0	0
1	0	0	1	1	0
2	1	0	0	1	0
3	1	0	1	0	1
4	0	1	0	1	0
5	0	1	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

По табл. 2. 1 составим логические выражения СДНФ, описывающие работу полного сумматора:

$$S_i = \bar{A}_i \bar{B}_i P_{i-1} + A_i \bar{B}_i \bar{P}_{i-1} + \bar{A}_i B_i \bar{P}_{i-1} + A_i B_i P_{i-1} = A_i \oplus B_i \oplus P_{i-1};$$

$$P_i = A_i \bar{B}_i P_{i-1} + \bar{A}_i B_i P_{i-1} + A_i B_i \bar{P}_{i-1} + A_i B_i P_{i-1} = (A_i \oplus B_i) P_{i-1} + A_i B_i.$$

Полученные выражения приводят к достаточно сложной схемной реализации полного сумматора в базисах И-НЕ или ИЛИ-НЕ (рис. 2. 1). Поэтому полный сумматор обычно строится из двух полусумматоров.

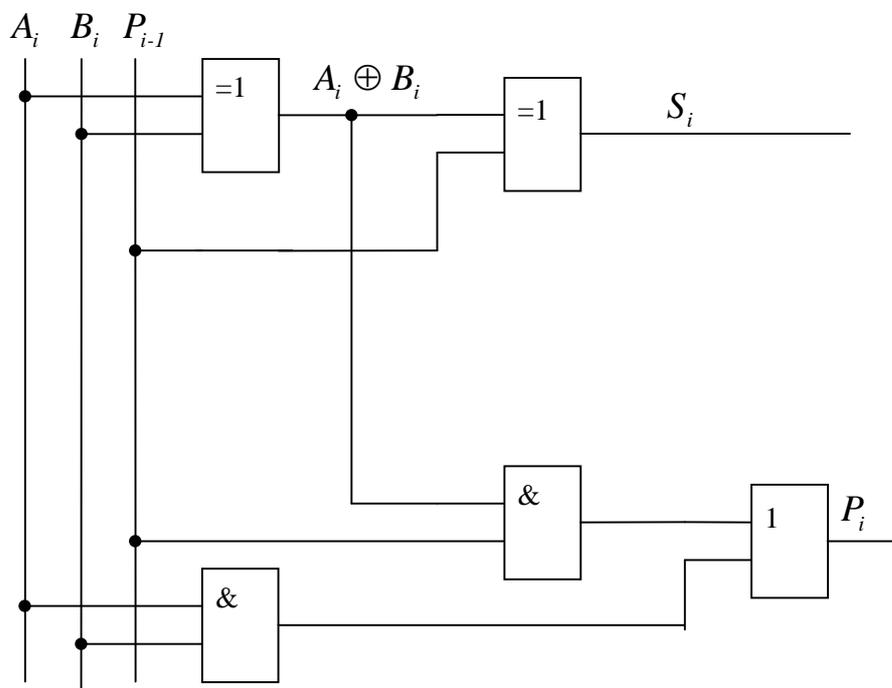


Рис. 2. 1. Схема полного сумматора

*Полусумматор* при выполнении операции сложения не учитывает переноса из предыдущего разряда. Работу полусумматора можно описать табл. 2. 2.

Таблица 2. 2  
Таблица истинности полусумматора

$A_i$	$B_i$	$S_i$	$P_i$
0	0	0	0
1	0	1	0
0	1	1	0
1	1	0	1

Из табл. 2. 2 следует:

$$S_i = A_i \overline{B_i} + \overline{A_i} B_i = A_i \oplus B_i;$$

$$P_i = A_i B_i.$$

Реализация полусумматора показана на рис. 2.2,а. На рис. 2.2,б показано его условное обозначение.

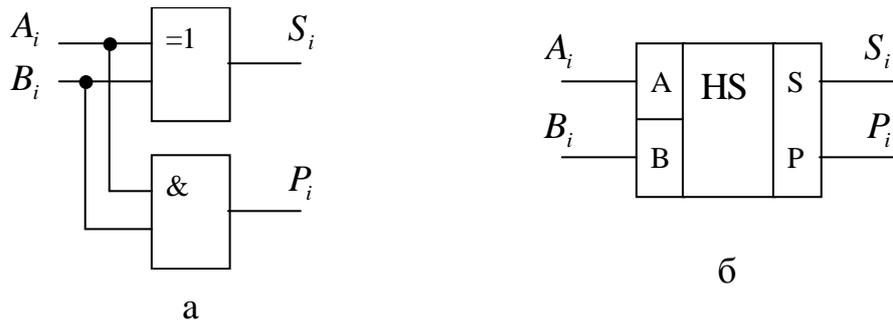


Рис. 2. 2. Полусумматор

Полный сумматор строится из двух полусумматоров по схеме приведенной на рис. 2.3,а. Условное обозначение полного сумматора показано на рис. 2. 3,б.

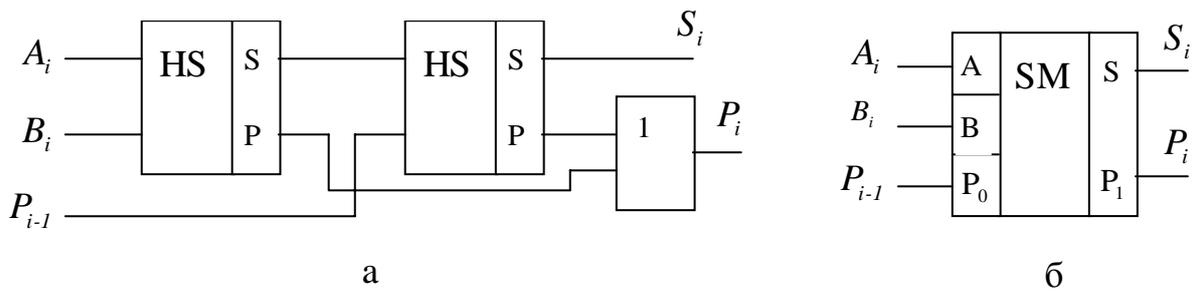


Рис. 2. 3. Схема полного сумматора и его условное обозначение

Для сложения  $n$  - разрядных чисел требуется один полусумматор в младшем разряде и  $n-1$  полных сумматоров (рис. 2. 4).

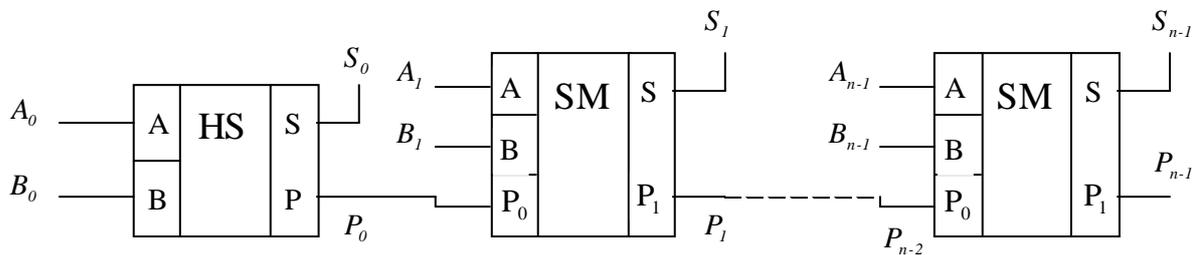


Рис. 2. 4. Многоразрядный полный сумматор

Сумматоры с различной разрядностью выпускаются в виде ЦИС. Например: 155ИМ1 – одноразрядный сумматор; 155ИМ2 – двухразрядный сумматор; 155ИМ3 – четырехразрядный сумматор.

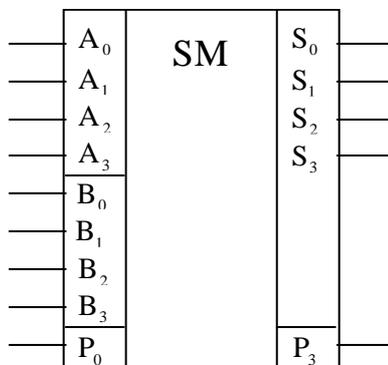


Рис. 2. 5. ЦИС четырехразрядного сумматора 155ИМ3

На рис. 2.5 показано условное обозначение четырехразрядного сумматора 155ИМ3.

## 2. 2. Дешифраторы

*Дешифратором* называется комбинационная схема, преобразующая двоичный  $n$ -разрядный код в унитарный  $2^n$  - разрядный код, все разряды которого, за исключением одного, равны нулю, то есть дешифратор реализует на каждом своем выходе функцию константы единицы  $n$  переменных. Дешифраторы бывают полные и неполные. В полном дешифраторе выполняется условие

$$N = 2^n,$$

где  $n$  - число входов;

$N$  - число выходов.

В *неполном дешифраторе* имеется также  $n$  входов, а количество выходов  $N < 2^n$ .

Рассмотрим пример построения полного дешифратора на 2 входные переменные и 4 выхода (дешифратор  $2 \times 4$ ) с использованием его таблицы истинности (табл. 2. 3).

Таблица 2. 3  
Таблица истинности дешифратора

$X_1$	$X_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

Уравнения для выходов дешифратора будут иметь вид:

$$Y_0 = \bar{X}_0 \bar{X}_1; \quad Y_1 = X_0 \bar{X}_1; \quad Y_2 = \bar{X}_0 X_1; \quad Y_3 = X_0 X_1.$$

Построение дешифратора сводится к реализации полученных уравнений с использованием четырех элементов 2И как показано на рис.2.6,а. На рис.2.6,б показано условное обозначение такого дешифратора.

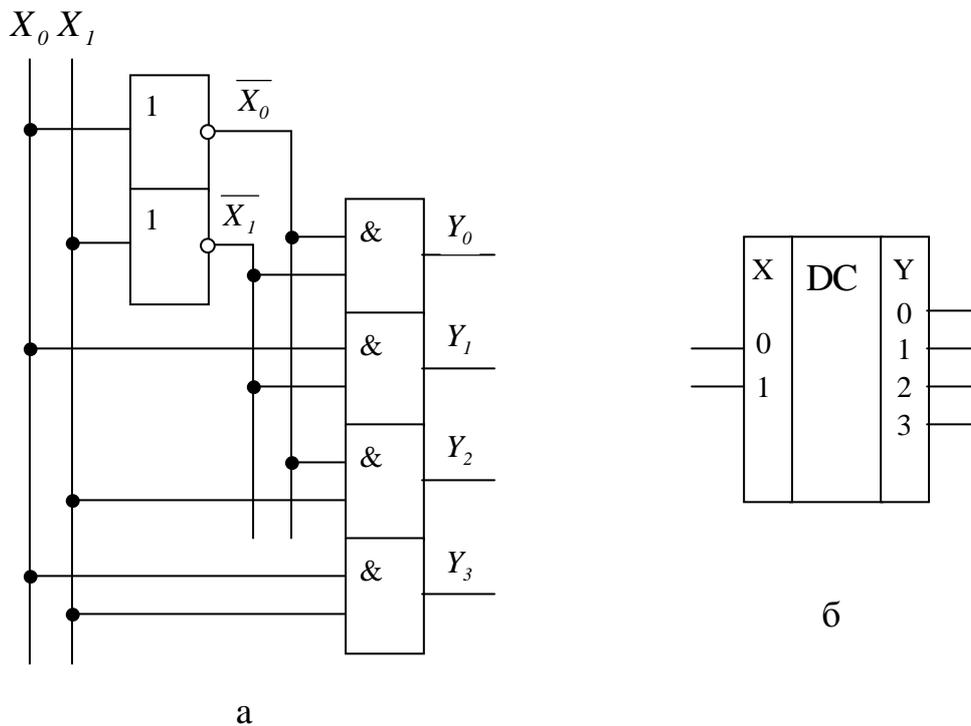


Рис. 2. 6. Схема дешифратора 2×4 и его условное обозначение

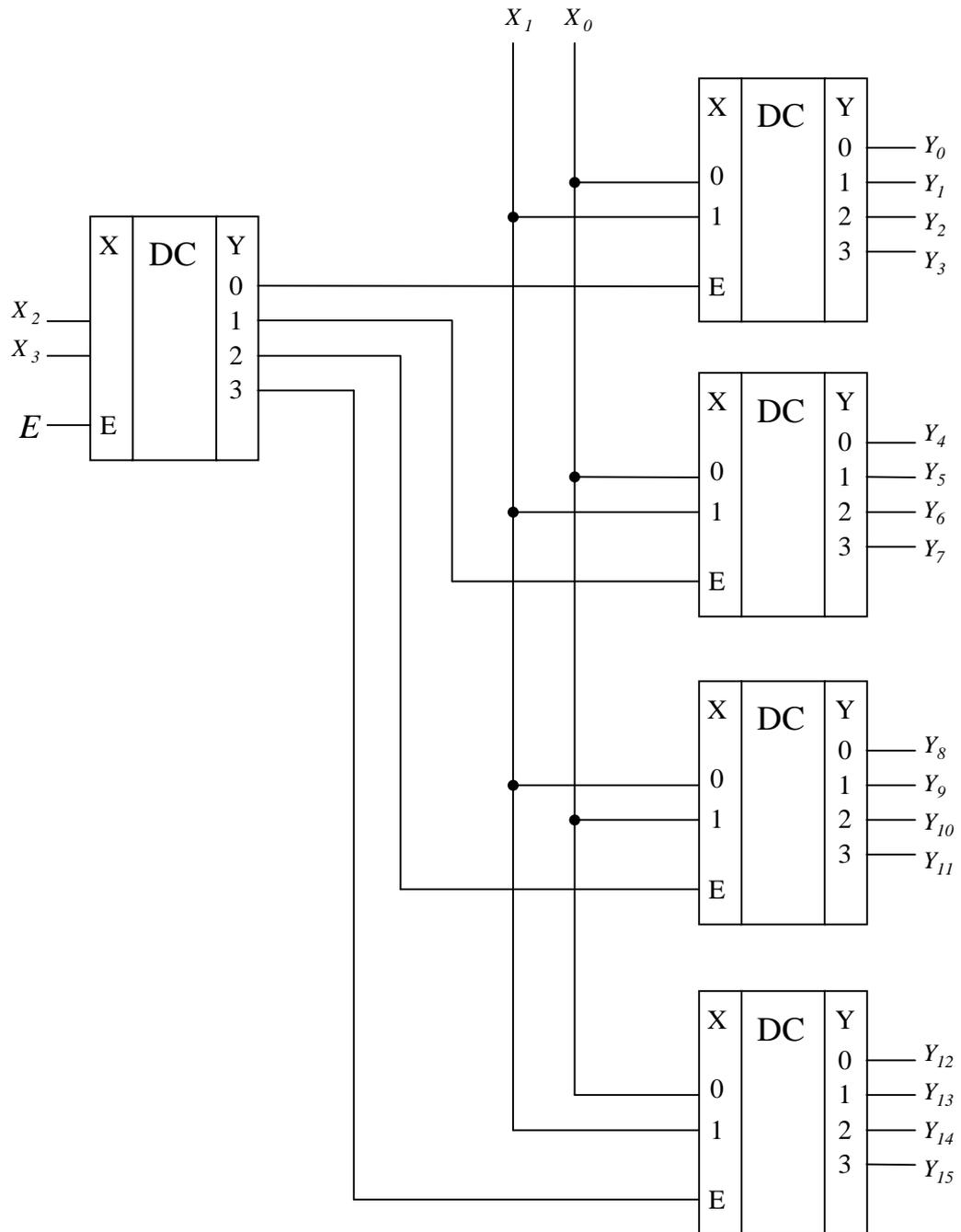


Рис. 2. 7. Дешифратор 4×16

Для расширения числа входов и выходов можно использовать каскадное соединение дешифраторов. На рис. 2.7 приведен пример реализации полного дешифратора  $4 \times 16$  с использованием 5 одинаковых дешифраторов  $2 \times 4$ . Каждый дешифратор дополнен стробирующим входом (Е-вход). При  $E=1$  на выходе дешифратора появляются сигналы, а при  $E=0$  на выходе будут нули независимо от входных кодов. На входы первого дешифратора DD1 подаются старшие разряды дешифрируемого кода  $X_3$  и  $X_2$ , а младшие разряды подаются на входы всех остальных дешифраторов одновременно. Первый дешифратор определяет, какой из остальных дешифраторов будет выполнять дешифрирование младших разрядов. Для этого его выходы подключены к Е-входам остальных дешифраторов. Например, при дешифрировании кода 1001 уровень 1 появляется на выходе 2 дешифратора DD1 и выходе 1 дешифратора DD2.

Дешифраторы выпускаются в виде интегральных схем с различной разрядностью входных переменных. Например: 155ИД3 - дешифратор  $4 \times 16$ ; 155ИД4 -  $2 \times 4$ .

Кроме полных дешифраторов на практике находят применение неполные дешифраторы, у которых число выходов меньше  $2^n$ . Такие устройства чаще всего применяются для преобразования двоично-десятичного кода в десятичный код для управления работой индикаторов. Например: ИС 155ИД1 - дешифратор  $4 \times 10$  используется для управления десятичным индикатором.

### 2. 3. Шифраторы

*Шифраторы* выполняют функцию обратную дешифраторам - при числе входов  $N=2^n$ , на которые подается унитарный код, устройство имеет  $n$  выходов, на которых формируется двоичный код. При этом только на одном из входов должна быть 1. Условное обозначение шифратора приведено на рис. 2. 8.

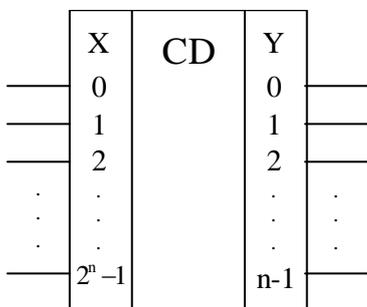


Рис. 2. 8. Условное обозначение шифратора

Таблица 2. 4

Таблица истинности шифратора

Унитарный код				ДК	
$X_3$	$X_2$	$X_1$	$X_0$	$Y_1$	$Y_0$
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

Пусть требуется построить шифратор,

который позволяет получить из четырехразрядного унитарного кода двоичный код согласно табл. 2. 4. По ней запишем логические выражения

$$Y_0 = \bar{X}_3 \bar{X}_2 X_1 \bar{X}_0 + X_3 \bar{X}_2 \bar{X}_1 \bar{X}_0 = \bar{X}_2 \bar{X}_0 (X_1 \oplus X_3);$$

$$Y_1 = \bar{X}_3 X_2 \bar{X}_1 \bar{X}_0 + X_3 \bar{X}_2 \bar{X}_1 X_0 = \bar{X}_1 \bar{X}_0 (X_2 \oplus X_3),$$

по которым реализована схема шифратора, показанная на рис. 2. 9.

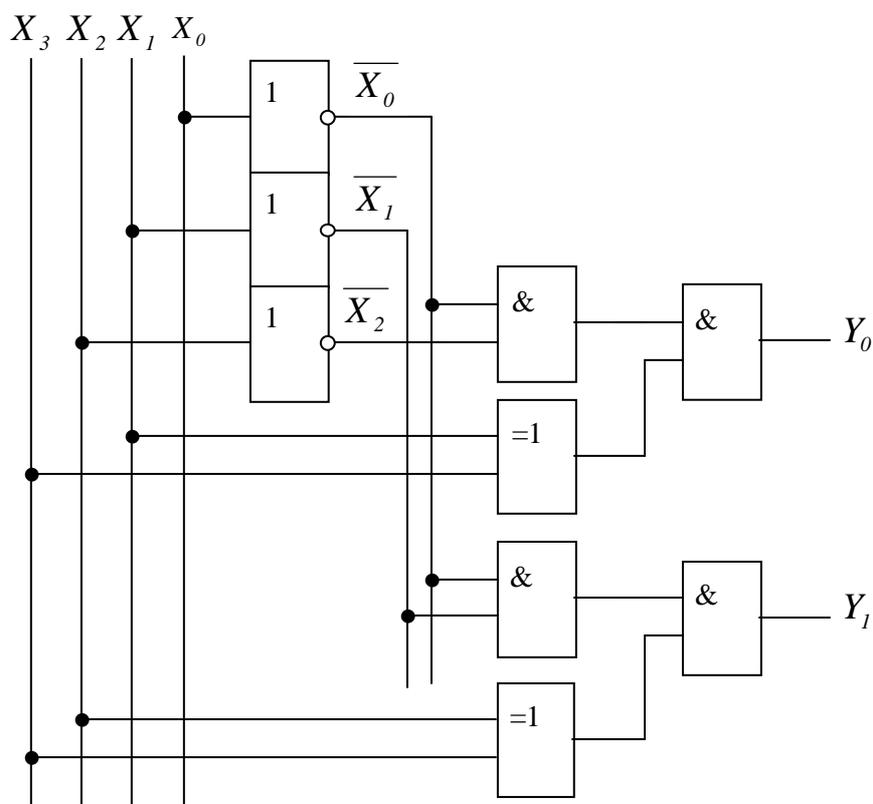


Рис. 2. 9. Схема шифратора 4×2

В отдельных случаях шифраторы реализуются просто на основе диодно-матричных схем непосредственно по таблице истинности. Для вышеприведенного примера используется матрица 4×2, показанная на рис. 2.10. Диоды, подключенные катодами к вертикальным шинам, реализуют операцию ИЛИ. При появлении «1» на какой-либо горизонтальной шине, эта «1» проходит на вертикальные шины, которые подключены к горизонтальной через диоды. С учетом вышеизложенного нетрудно убедиться, что приведенная схема функционирует согласно заданной таблице преобразования (табл. 2. 4).

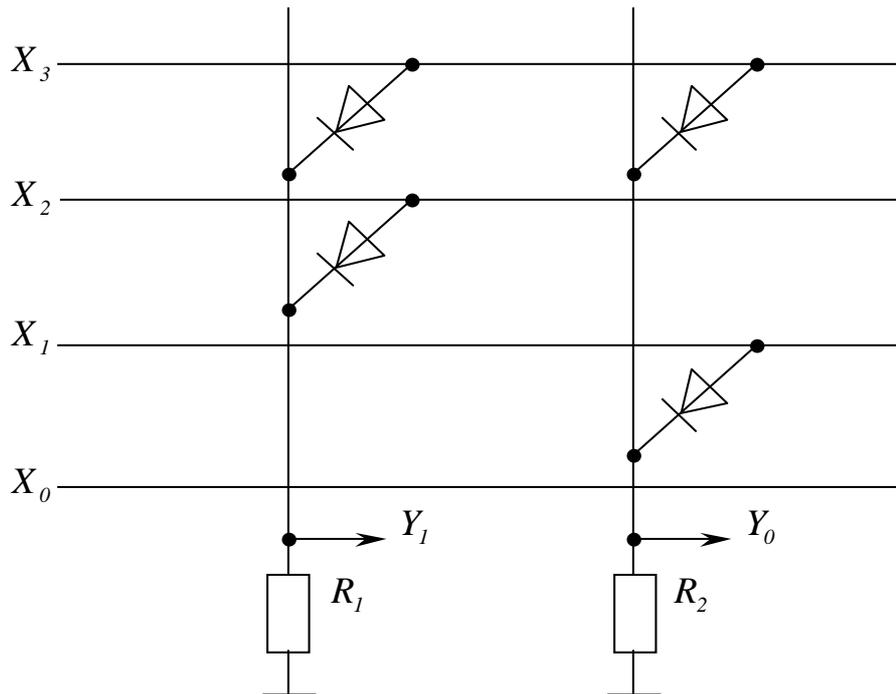


Рис. 2. 10. Шифратор на диодно-матричной схеме

Шифраторы используются для сжатия информации при ее передаче, т.к. количество выходных линий у него меньше количества входных линий  $n < N$ . Для обратного преобразования на другом конце передачи используются дешифраторы. В цифровых системах это позволяет использовать для связи между различными устройствами ограниченное число линий связи. Другой широкой областью применения шифраторов является кодирование алфавитно-цифровой информации при ее вводе с кнопочных пультов или клавиатуры. Так, например, при нажатии одной из клавиш на одном из входов шифратора появляется «1», а на остальных входах должны быть нули. Этот входной унитарный код преобразуется в двоичный код, который обрабатывается цифровыми устройствами. Однако при этом возможны случаи одновременного нажатия нескольких клавиш, что может вызвать некорректную работу шифратора. Для исключения таких ситуаций каждому из входов назначают свой приоритет. Обычно, чем выше номер входа, тем выше его приоритет. Например, при ошибочной входной комбинации 0011 шифратор будет работать с комбинацией 0010. Такие шифраторы называются приоритетными шифраторами.

## 2. 4. Мультиплексоры

*Мультиплексором* называют комбинационное устройство, предназначенное для коммутации цифровых сигналов, поступающих по нескольким информационным входам, на один выход. При этом каждый информационный вход имеет свой адрес, который задается  $n$ -разрядным цифровым кодом. Тогда количество информационных входов будет равно  $N = 2^n$ . Структура мультиплексора условно обозначается записью  $(N \rightarrow 1)$ . Обобщенная схема мультиплексора показана на рис. 2. 11,а и содержит два функциональных узла: коммутатор с  $2^n$  информационными входами и одним выходом и входную логику для управления коммутатором. Входная логика имеет  $n$  адресных входов и дополнительные входы управления, на которые могут подаваться сигналы стробирования  $E$  для выдачи данных на выход и  $OE$  для перевода выхода мультиплексора в третье состояние.

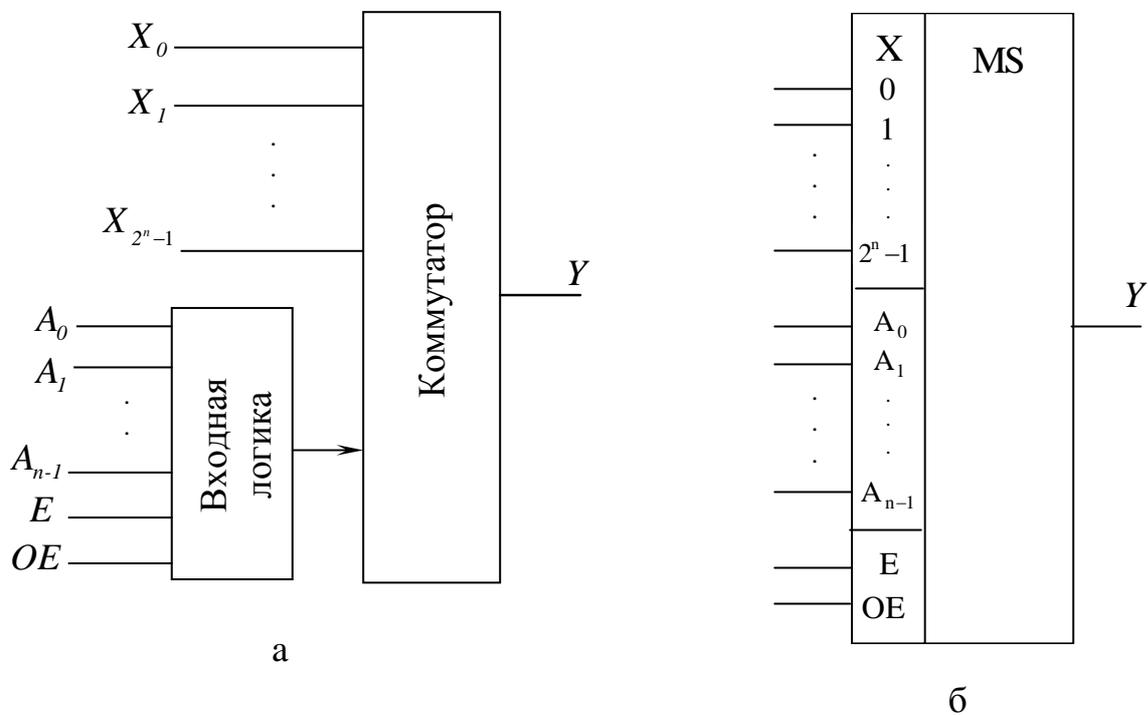
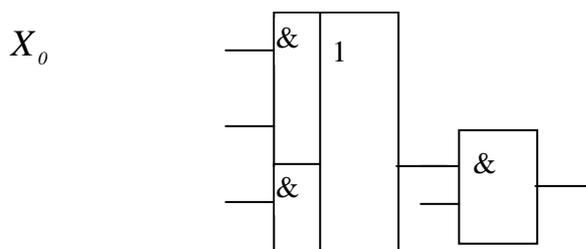


Рис. 2. 11. Обобщенная схема и условное обозначение мультиплексора

На рис. 2.11,б показано обозначение мультиплексора на схемах. Основу мультиплексоров составляют ЛЭ типа И-ИЛИ. Так, например, простейший двухвходовый мультиплексор ( $2 \rightarrow 1$ ) может быть реализован по схеме, показанной на рис. 2. 12. В зависимости от состояния адресного сигнала  $A_0$  на выход мультиплексора передается переменная  $X_0$  или  $X_1$ . Сигнал  $E$  разрешает выдачу данных на выход мультиплексора.



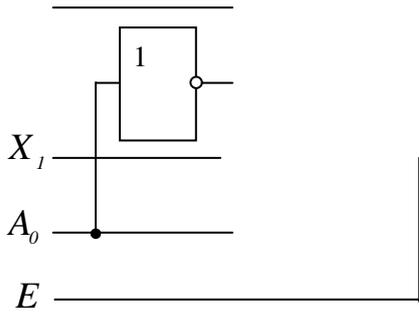


Рис. 2. 12. Мультиплексор 2→1

Y

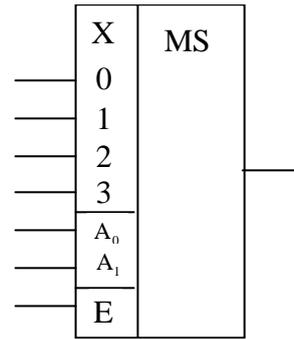


Рис. 2. 13. Мультиплексор 4→1

Рассмотрим пример построения мультиплексора на четыре входа (4→1). Условное обозначение такого мультиплексора показано на рис.2.13. Данные для логического синтеза такого мультиплексора приведены в табл. 2. 5.

Таблица 2.5

Таблица истинности мультиплексора

$A_1$	$A_0$	$Y$	СКНФ
0	0	$X_0$	$\bar{A}_0 \bar{A}_1 X_0 E$
0	1	$X_1$	$A_0 \bar{A}_1 X_1 E$
1	0	$X_2$	$\bar{A}_0 A_1 X_2 E$
1	1	$X_3$	$A_0 A_1 X_3 E$

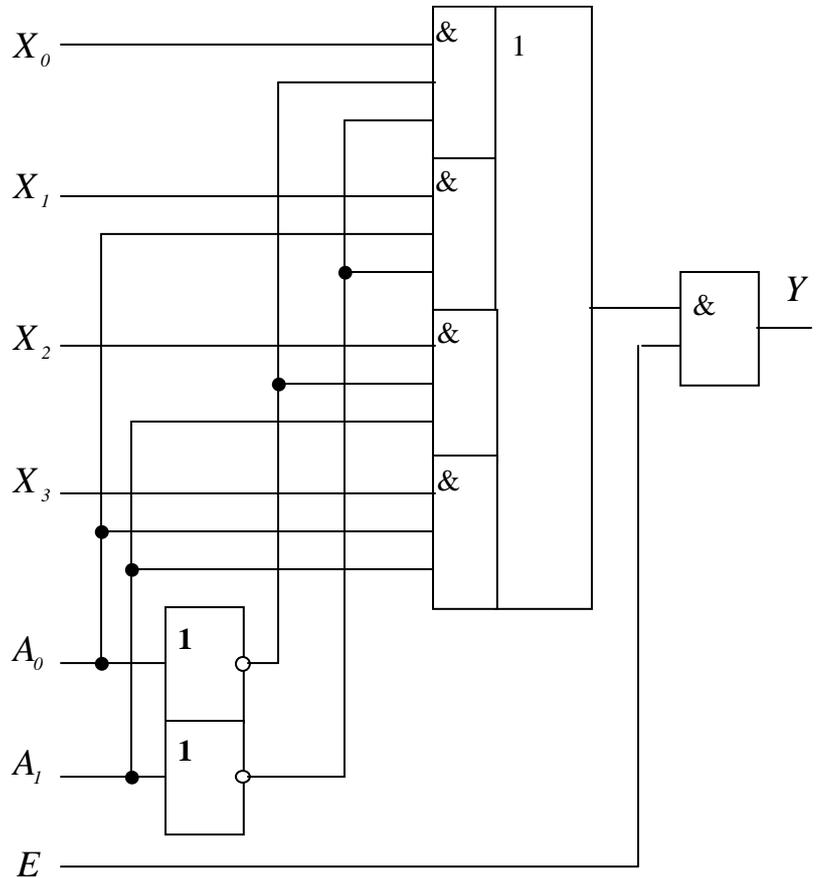


Рис. 2. 14. Схема мультиплексора 4→1

Функционирование синтезируемого мультиплексора описывается логическим выражением

$$Y = (\bar{A}_0 \bar{A}_1 X_0 + A_0 \bar{A}_1 X_1 + \bar{A}_0 A_1 X_2 + A_0 A_1 X_3) E.$$

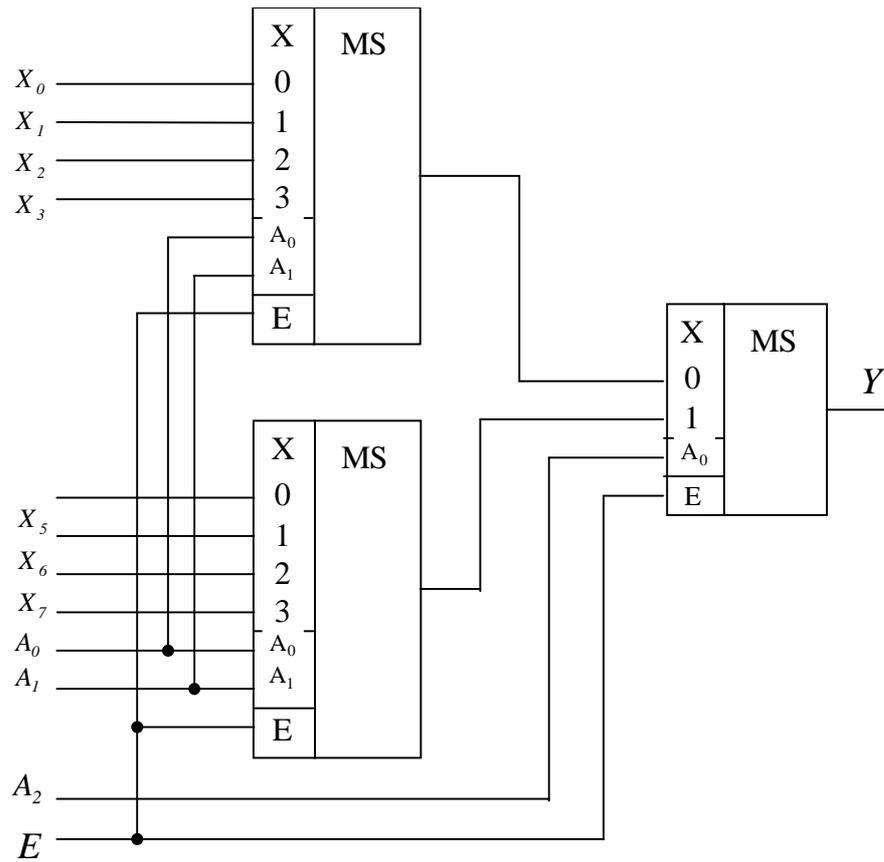
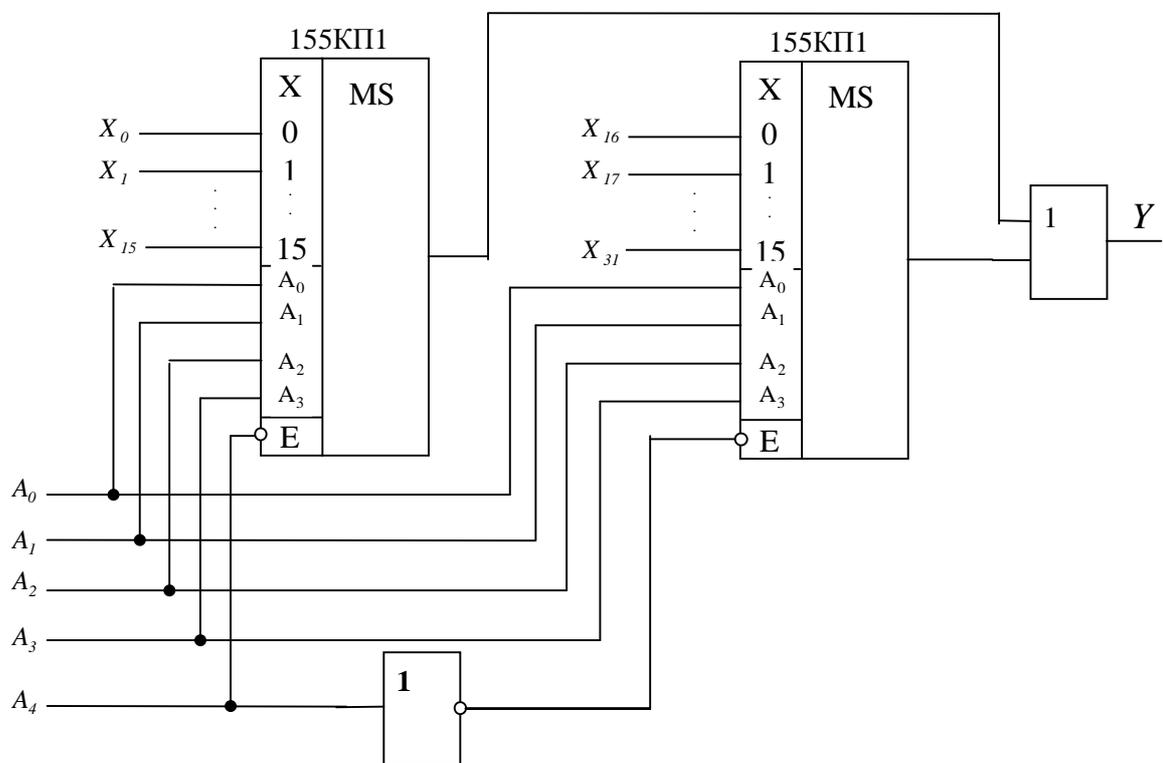
Рис. 2. 15. Мультиплексор  $8 \rightarrow 1$ Рис. 2. 16. Мультиплексор  $32 \rightarrow 1$

Схема мультиплексора, синтезированная согласно вышеприведенному выражению показана на рис. 2. 14. Для увеличения числа информационных входов могут быть использованы различные варианты каскадирования мультиплексоров. На рис. 2. 15 показан пример построения мультиплексора ( $8 \rightarrow 1$ ) путем пирамидального каскадирования мультиплексоров ( $4 \rightarrow 1$ ) и ( $2 \rightarrow 1$ ).

Промышленностью выпускаются ИС мультиплексоров с различным числом входов, например 155КП1 - ( $16 \rightarrow 1$ ), 155КП2 -  $2(4 \rightarrow 1)$ , 155КП5 - ( $8 \rightarrow 1$ ). На базе серийных ИС можно создавать мультиплексоры с различным числом информационных входов. На рис. 2. 16 показан пример построения мультиплексора ( $32 \rightarrow 1$ ) на ИС 155КП1.

## 2. 5. Демультимплексоры

*Демультимплексоры* выполняют функцию, обратную мультиплексорам, т.е. один входной сигнал распределяют по нескольким выходам. При этом каждый выход имеет свой адрес, который задается  $n$ -разрядным цифровым кодом. Тогда количество выходов будет равно  $N = 2^n$ . Структура демультимплексора условно обозначается записью ( $1 \rightarrow N$ ). Обобщенная схема демультимплексора показана на рис. 2.17,а и содержит два функциональных узла: коммутатор-распределитель с одним входом и  $2^n$  выходами и входную логику для управления коммутатором. Входная логика имеет  $n$  адресных входов и вход стробирования  $E$  для выдачи данных на выходы.

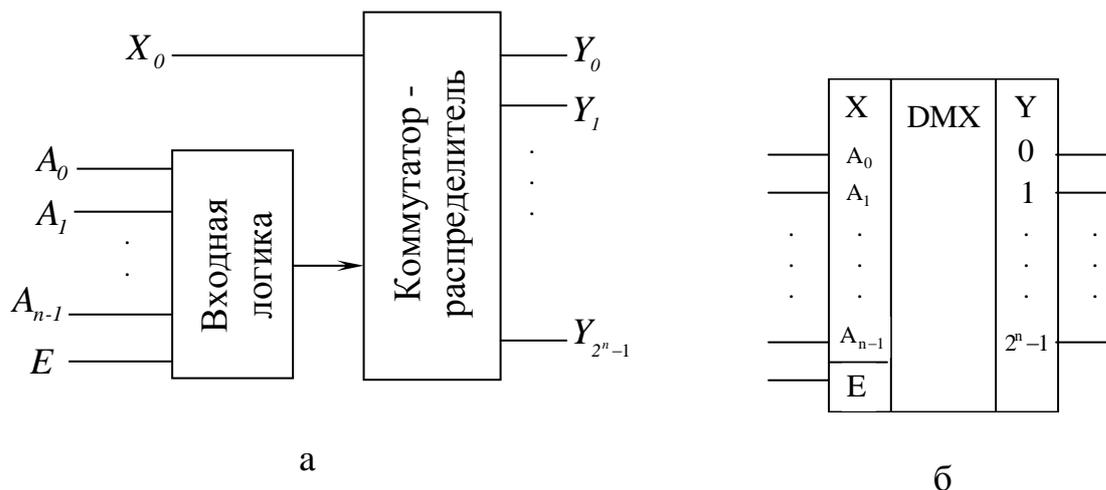


Рис. 2. 17. Обобщенная схема и условное обозначение демультимплексора

Обозначение демультиплекторов на схемах показано на рис. 2.17,б. Основу демультиплекторов составляют дешифратор и ЛЭ И. На рис. 2.18 показан пример реализации простейшего демультиплектора (1 → 2).

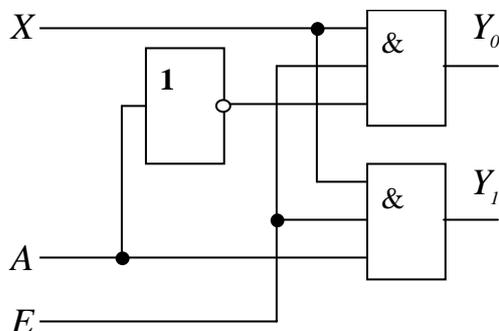


Рис. 2. 18. Схема демультиплектора 1 → 2

Рассмотрим пример построения демультиплектора (1 → 4), используя данные, приведенные в табл. 2. 6.

Таблица 2. 6

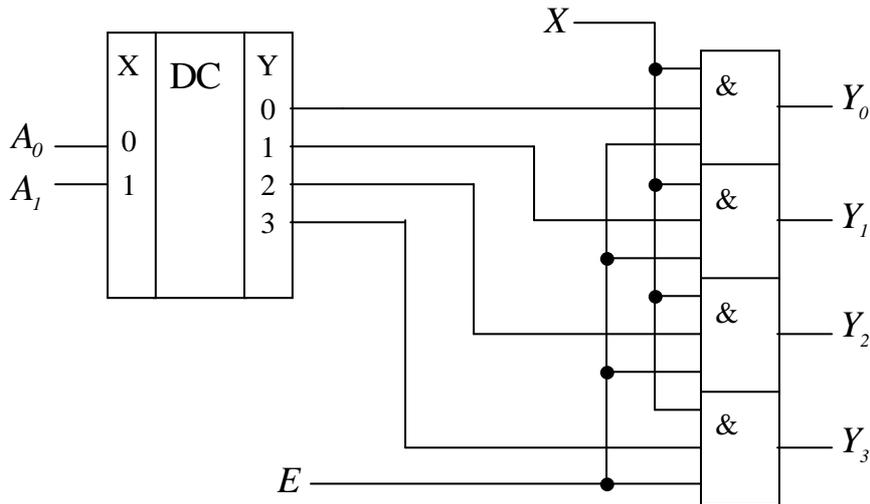
Таблица истинности демультиплектора

$A_1$	$A_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$	СКНФ
0	0	0	0	0	X	$\bar{A}_0 \bar{A}_1 XE$
0	1	0	0	X	0	$A_0 \bar{A}_1 XE$
1	0	0	X	0	0	$\bar{A}_0 A_1 XE$
1	1	X	0	0	0	$A_0 A_1 XE$

По табл. 2. 6 запишем логические выражения, описывающие работу синтезируемого демультиплектора:

$$Y_0 = \bar{A}_0 \bar{A}_1 XE; \quad Y_1 = A_0 \bar{A}_1 XE; \quad Y_2 = \bar{A}_0 A_1 XE; \quad Y_3 = A_0 A_1 XE.$$

Обратим внимание на то, что представленная таблица истинности почти совпадает с таблицей для дешифратора (табл. 2. 3.). Поэтому схема демультиплектора содержит в рассматриваемом примере дешифратор 2×4 и выходные ЛЭ 3И (рис. 2. 19).

Рис. 2. 19. Схема демультиплексора  $1 \rightarrow 4$ 

Наличие сходства в построении и по выполняемым функциям с дешифраторами, позволяет последние при наличии у них входа стробирования использовать в качестве демультиплексоров. При этом вход стробирования становится информационным входом, а основные входы – адресными. В качестве демультиплексоров можно использовать такие ИС дешифраторов со стробированием, как 155ИД3 в режиме  $(1 \rightarrow 16)$ , 155ИД4 –  $2(1 \rightarrow 4)$ , 531ИД7  $(1 \rightarrow 8)$  и т.д.

## 2. 6. Преобразователи кодов

К преобразователям кодов относят широкий класс комбинационных устройств для преобразования  $n$ -разрядного кода в  $m$ -разрядный. При этом соотношения между  $n$  и  $m$  могут быть различными. С этой точки зрения дешифраторы ( $n < m$ ) и шифраторы ( $n > m$ ) тоже являются преобразователями кодов. Обозначение преобразователя кодов показано на рис. 2. 20,а.

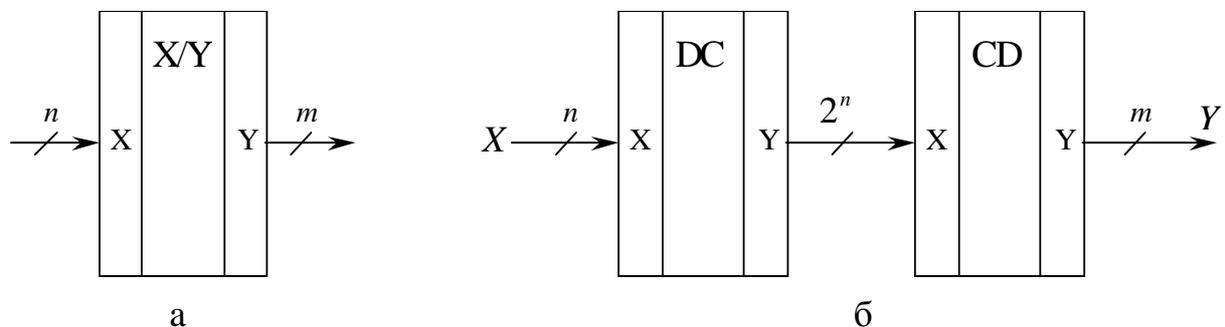


Рис. 2. 20. Условное обозначение и схема построения преобразователей кода

Преобразователи кодов делятся на два типа:

- 1) с невесовым преобразованием, например преобразователи двоичного кода в двоично-десятичный, двоично-десятичного в семисегментный код для работы с семисегментными индикаторами;
- 2) с весовым преобразованием – нелинейные преобразователи кодов, у которых выходной код связан с входным функциональной (математической) зависимостью, например логарифмической, тригонометрической и т.д.

Существует три основных подхода к построению преобразователей кодов:

- 1) непосредственная реализация системы булевых функций группы аргументов; этот подход отличается сложностью и часто приводит к неэкономичным решениям;
- 2) реализация по схеме «дешифратор – шифратор»;
- 3) реализация на базе программируемых логических матриц (ПЛИС) и постоянных запоминающих устройств (ПЗУ) (см. § 7.3 и 7.4).

Рассмотрим пример реализации по схеме «дешифратор – шифратор» (рис. 2.20,б) преобразователя кодов с  $n=2$  и  $m=5$  по таблице преобразования, заданной табл. 2. 7.

Таблица 2. 7

Таблица преобразования преобразователя кода

$X_1$	$X_0$	$Y_4$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	1	1
0	1	0	1	1	0	0
1	0	1	0	0	1	0
1	1	1	0	1	1	1

Для построения преобразователя кода используем дешифратор двоичного кода со структурой  $2 \times 4$  и матричный шифратор  $4 \times 5$  (рис. 2. 21). Диоды, подключенные катодами к вертикальным шинам, реализуют операцию ИЛИ. При появлении «1» на какой-либо горизонтальной шине, эта «1» проходит на вертикальные шины, которые подключены к горизонтальной через диоды. С учетом вышеизложенного нетрудно убедиться, что приведенная схема функционирует согласно заданной таблице преобразования.

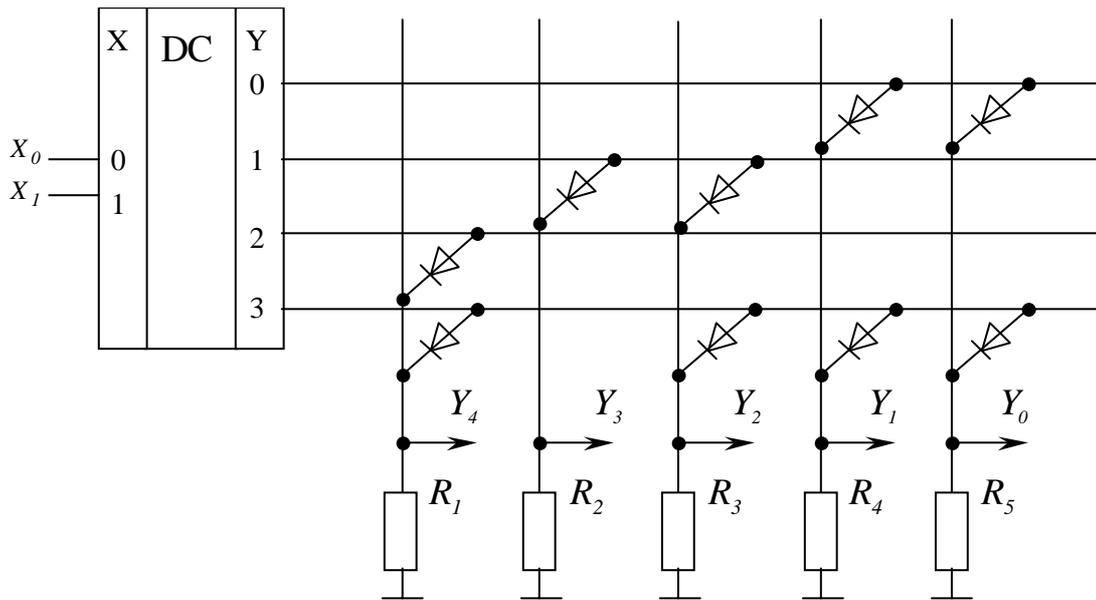


Рис. 2. 21. Пример реализации преобразователя кода

Промышленностью выпускаются ИС для преобразования наиболее часто встречающихся кодов: 155ПР6 (преобразователь двоично-десятичного кода в двоичный), 155ПР7 (преобразователь двоичного кода в двоично-десятичный), 155ПП5 (преобразователь двоично-десятичного кода в семисегментный) и др.

## 2. 7. Схемы сравнения

Схемы сравнения или цифровые компараторы предназначены для реализации операции сравнения двух кодов, например  $X$  и  $Y$ , и бывают двух типов:

- 1) простейшие или схемы равнозначности, выдающие сигнал  $F=1$  при  $X=Y$ ;
- 2) универсальные, выдающие три сигнала:  $F_1=1$ , если  $X=Y$ ;  $F_2=1$ , если  $X<Y$ ;  $F_3=1$ , если  $X>Y$ .

Условные обозначения схем сравнения приведены на рис. 2. 22,а и б.

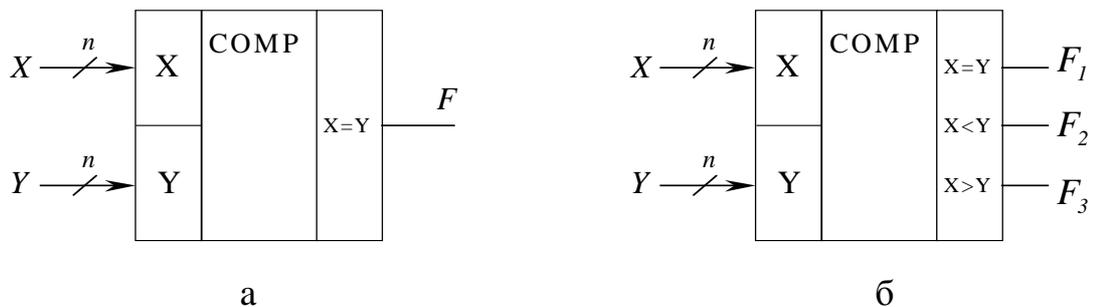


Рис. 2. 22. Условные обозначения схем сравнения

Простейшие схемы сравнения строятся на базе элементов ИСКЛЮЧАЮЩЕЕ ИЛИ по схеме, приведенной на рис. 2.23 (показан пример сравнения для 4-разрядных кодов).

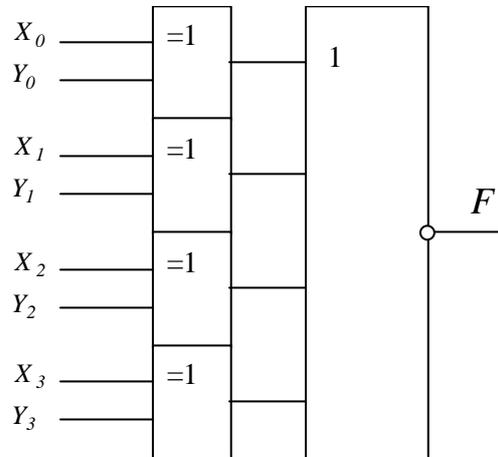


Рис. 2. 23. Схема равнозначности 4-разрядных кодов

Для построения универсальных схем сравнения используют сумматоры, на которых реализуют операцию вычитания  $X-Y$ . Для этого переменная  $Y$  подается в обратном коде и на вход переноса сумматора подается «1», что эквивалентно представлению  $Y$  в дополнительном коде. На рис. 2. 24 показан пример реализации схемы сравнения  $n$ -разрядных кодов.

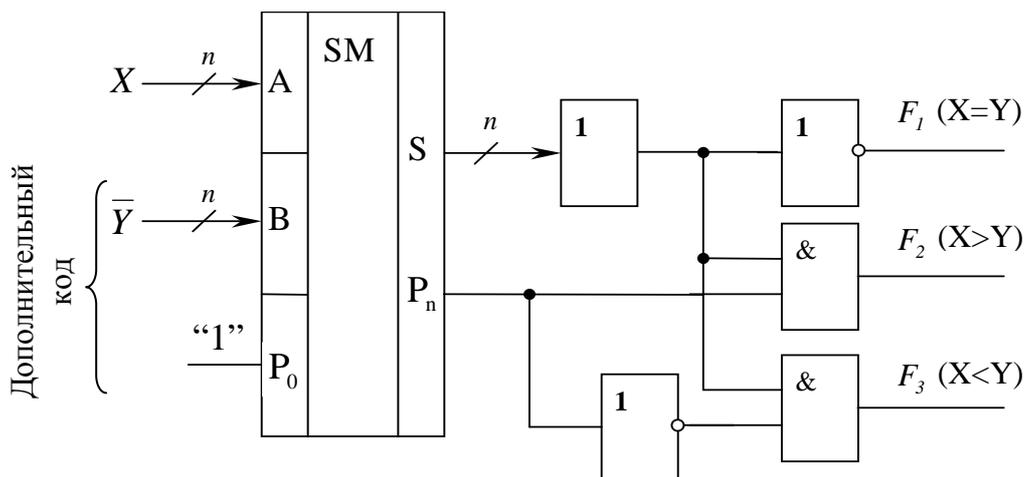


Рис. 2. 24. Универсальная схема сравнения на базе сумматора

Выходная логика построена с учетом реализации следующих соотношений:

- 1) если  $X=Y$ , то  $S=0$  и  $F_1=1$ ;

2) если  $X < Y$ , то  $S \neq 0$ ,  $P_n = 1$  и  $F_2 = 1$ ;

3) если  $X > Y$ , то  $S \neq 0$ ,  $P_n = 0$  и  $F_3 = 1$ .

Промышленностью выпускаются ИС цифровых компараторов: 564ИП2 и 555СП1 (4-разрядные схемы сравнения).

#### Контрольные вопросы и задания

1. В чем состоит отличие полного сумматора от полусумматора?
2. Как реализовать операцию вычитания с использованием сумматоров?
3. Синтезируйте схему дешифратора со структурой  $3 \rightarrow 8$ .
4. Синтезируйте схему дешифратора со структурой  $5 \rightarrow 32$  на базе ЦИС К155ИД3, имеющей структуру  $4 \rightarrow 16$ .
5. Области применения шифраторов.
6. Области применения мультиплексоров и демультимплексоров.
7. Синтезируйте мультиплексор со структурой  $16 \rightarrow 1$  с использованием ЦИС К561КП3, имеющей структуру  $8 \rightarrow 1$  и выход с тремя состояниями.
8. Почему демультимплексоры не выпускаются в виде ЦИС?
9. Способы построения преобразователей кодов.
10. Области применения схем сравнения.

#### Выводы

Для обработки и преобразования цифровых сигналов применяются различные типы комбинационных устройств, выпускаемых в виде ЦИС. С применением таких ЦИС реализуются операции суммирования, дешифрирования, шифрирования, мультиплексирования, демультимплексирования, преобразования кодов, сравнения кодов и др.

Для увеличения числа разрядов, информационных входов или выходов применяются различные способы наращивания разрядности или каскадирования типовых ЦИС.

### 3. ТРИГГЕРЫ

#### 3. 1. Общие сведения и классификация

*Триггером* называется устройство с двумя устойчивыми состояниями. Триггеры представляют собой простейшие последовательностные устройства и широко используются в электронных устройствах различного назначения как в виде самостоятельных узлов, так и в качестве элементов для построения более сложных цифровых устройств (счетчиков, регистров, запоминающих устройств). К триггерам относят большой класс устройств, отличительной особенностью которых является способность оставаться в одном из двух устойчивых состояний, которые могут изменяться под действием внешних сигналов. При этом состояния триггера распознаются по уровням выходных напряжений, соответствующих уровням “0” и “1”. Основным свойством триггера является наличие памяти, под которой подразумевается его способность сохранять свое состояние (“0” или “1”) и после прекращения воздействия внешних сигналов. Таким образом, триггер является элементарной ячейкой памяти для хранения одного двоичного разряда числа.

Обобщенная схема триггерного устройства показана на рис. 3.1 и состоит из устройства управления УУ и триггерной ячейки ТЯ.

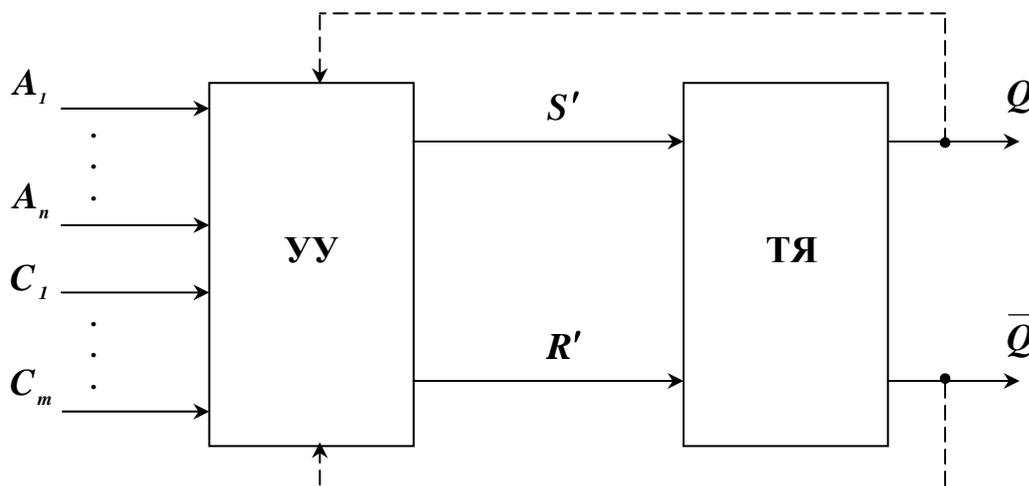


Рис. 3. 1. Структурная схема триггера

На схеме сигналы имеют следующие наименования:

$A_1...A_n$  - информационные сигналы;

$C_1...C_m$  - тактовые (синхронизирующие) сигналы;

$S'$  (set) и  $R'$  (reset) - входные сигналы триггерной ячейки;

$Q$  и  $\bar{Q}$  - выходные сигналы триггера.

Существует множество разновидностей триггеров, отличающихся выполняемыми функциями, способами управления записью информации, схемотехническими решениями и т.д.

По выполняемым функциям классификацию триггеров производят по состоянию его выходов в момент его срабатывания и после. При этом различают следующие основные виды: RS, JK, T и D - триггеры.

По способу управления записью информации различают:

- асинхронные триггеры с записью непосредственно с поступлением информационного сигнала на его вход;
- тактируемые (синхронные) триггеры с записью информации только при подаче тактирующего импульса. При этом срабатывание триггера может происходить одновременно с поступлением тактирующего импульса (триггер, работающий по уровню), после окончания тактирующего импульса (триггер с внутренней задержкой), прохождения нескольких тактирующих импульсов (многотактные триггеры), или в моменты изменения состояния тактирующего импульса (синхронизация по фронту).

### 3. 2. RS – триггеры

RS–триггер имеет два управляющих входа  $S$  (set) и  $R$  (reset), с помощью которых выполняются установки триггера в то или иное состояние (рис. 3. 2,*a*):

$Q = 1$  при  $S=1$  и  $R=0$  (установка триггера);

$Q = 0$  при  $S=0$  и  $R=1$  (сброс триггера);

$Q^{n+1} = Q^n$  при  $S=R=0$  (режим хранения предыдущего состояния);

$S=R=1$  – запрещенная комбинация управляющих сигналов, которая может привести к неопределенному состоянию триггера.

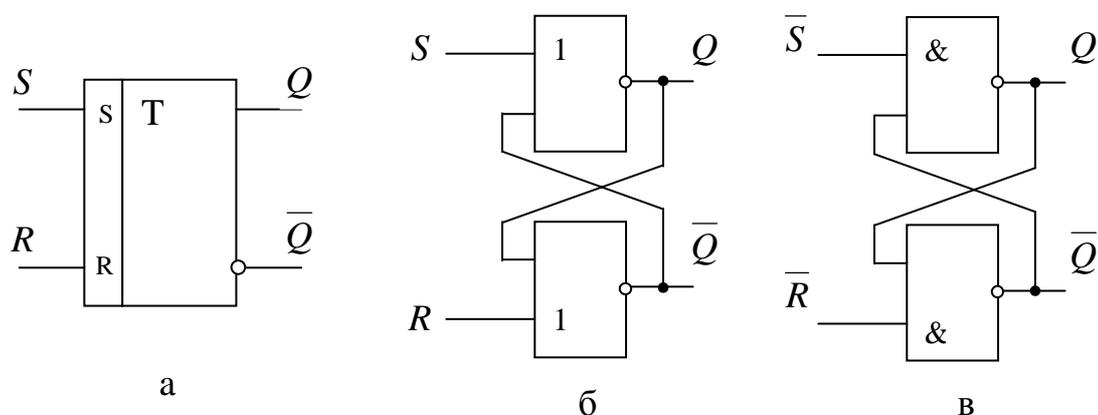


Рис. 3. 2. RS-триггеры

Полная таблица истинности, определяющая состояния RS – триггера, при различных комбинациях управляющих сигналов, приведена в табл. 3. 1.

Таблица 3. 1  
Полная таблица состояний  
RS-триггера

$R$	$S$	$Q^n$	$Q^{n+1}$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	×
1	1	1	×

Таблица 3. 2  
Сокращенная таблица состояний  
RS-триггера

$R$	$S$	$Q^{n+1}$
0	0	$Q^n$
0	1	1
1	0	0
1	1	×

Учитывая связь текущего состояния триггера  $Q^{n+1}$  с предыдущим состоянием  $Q^n$  при различных комбинациях управляющих сигналов  $S$  и  $R$ , из табл. 3. 1 можно сформировать сокращенную таблицу истинности (табл. 3. 2). Рассматриваемый триггер является асинхронным, т.к. изменение его состояния происходит непосредственно с поступлением управляющих сигналов. Принцип работы асинхронного RS-триггера поясняется временными диаграммами, показанными на рис. 3. 3.

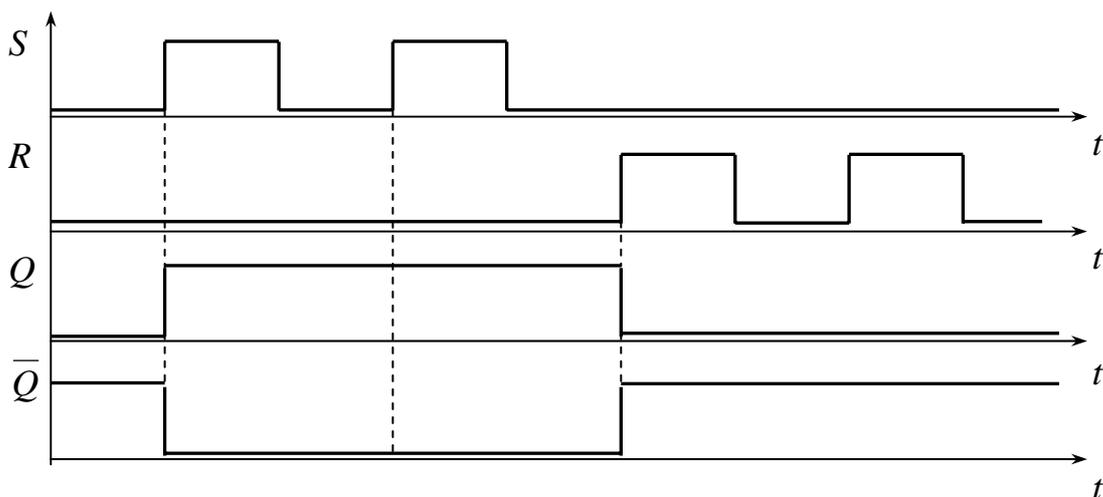


Рис. 3. 3. Временные диаграммы работы RS-триггера

Схемотехнически RS-триггер может быть реализован на элементах 2ИЛИ-НЕ (рис. 3. 2,б) и 2И-НЕ (рис. 3.2,в) с использованием перекрестных положительных обратных связей. В триггере на элементах 2И-НЕ изменение состояния происходит при низких уровнях сигналов  $\bar{S}$  и  $\bar{R}$ .

В синхронных RS-триггерах могут быть использованы различные способы синхронизации. На рис. 3. 4,а и б показаны схемотехническая реализация и условное обозначение RS-триггера с синхронизацией по уровню (высокому). На рис. 3. 4,в приведены диаграммы работы такого триггера. Изменение состояний происходит только при высоких уровнях сигнала синхронизации С.

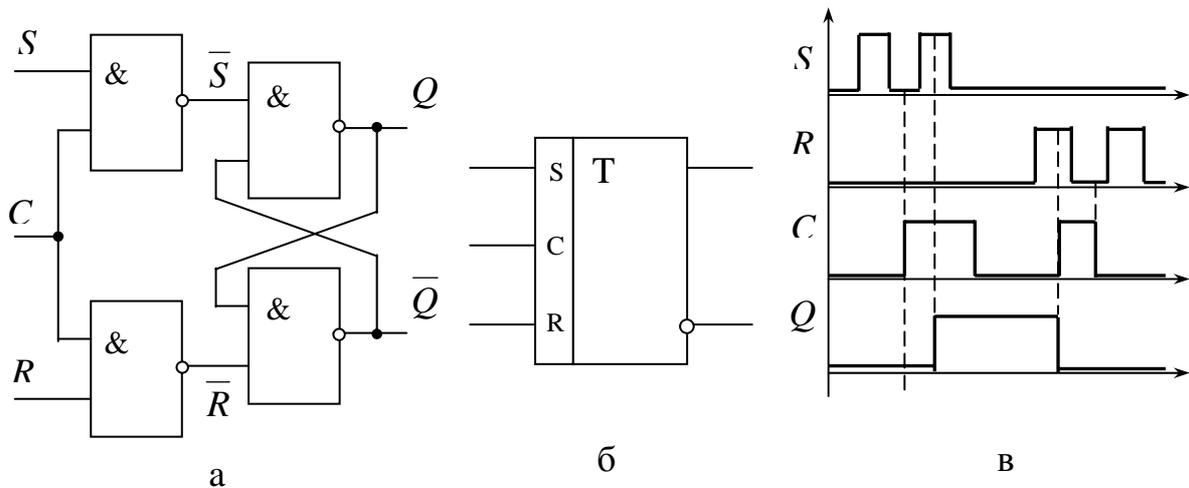


Рис. 3. 4. RS-триггер с синхронизацией по уровню

В RS-триггере с синхронизацией по фронту изменение состояния происходит в момент изменения уровня сигнала С. При этом возможна синхронизация как по переднему, так и по заднему фронту (срезу). Такие триггеры строятся по двухступенчатой схеме и в них процессы приема и записи данных разделены во времени. Схема триггера с синхронизацией по заднему фронту и его условное обозначение приведены на рис. 3. 5.

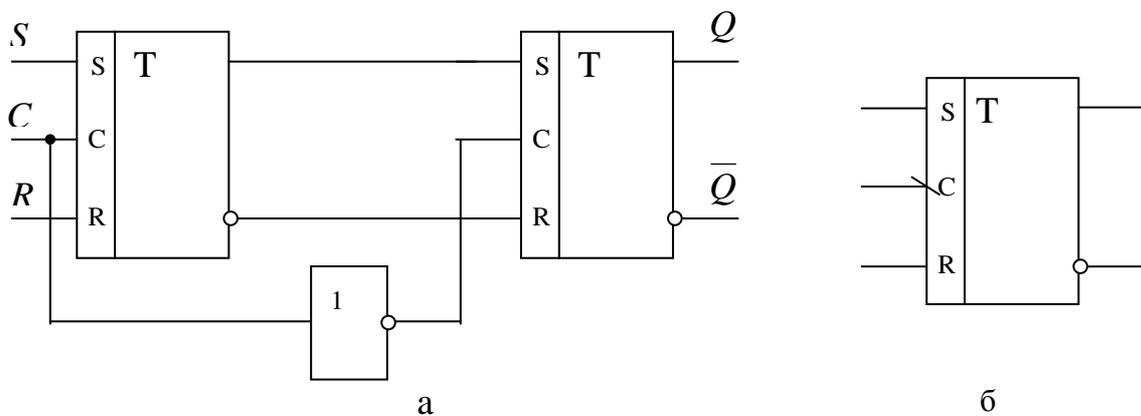


Рис. 3. 5. RS-триггер с синхронизацией по фронту

При подаче высокого уровня сигнала  $C$  производится запись в первый триггер (прием данных), а по окончании сигнала  $C$  – запись во второй триггер. Двухступенчатый RS-триггер применяется для построения других более сложных типов триггеров и регистров сдвига.

### 3.3. JK-триггеры

JK-триггер имеет два управляющих входа  $J$  (jump) и  $K$  (keep) и функционирует подобно RS-триггеру, но при этом не имеет запрещенных комбинаций управляющих сигналов.  $J$  - вход подобен  $S$  – входу, а  $K$ -вход подобен  $R$ -входу. При всех комбинациях сигналов на входе, кроме  $J=K=1$ , он действует подобно RS-триггеру. При  $J=K=1$  в каждом такте происходит «опрокидывание» триггера и его состояние меняется на противоположное (табл. 3.3). На рис. 3.6 показано условное обозначение JK-триггера с синхронизацией по переднему фронту.

Таблица 3.3  
Таблица состояний  
JK-триггера

$J$	$K$	$Q^{n+1}$
0	0	$Q^n$
0	1	0
1	0	1
1	1	$\overline{Q^n}$

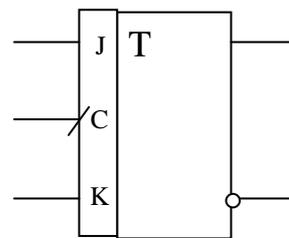


Рис. 3.6. JK-триггер

Работа JK-триггера поясняется временными диаграммами на рис. 3.7.

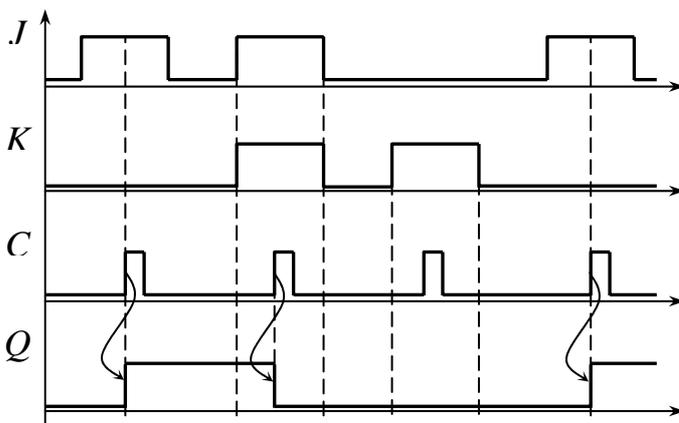


Рис. 3.7. Диаграммы работы JK-триггера

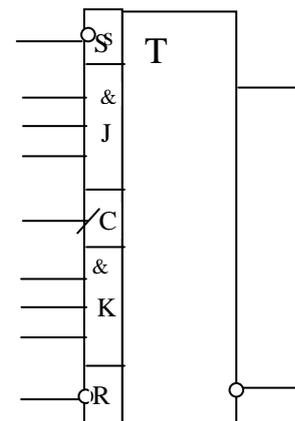


Рис. 3.8. ИС К155ТВ1

JK-триггеры относятся к универсальным устройствам в отношении их применения как для построения других типов триггеров, так и более

сложных устройств последовательного принципа действия. Во всех сериях ИС выпускаются JK-триггеры с различными функциональными возможностями. Например, ИС 155ТВ1 (рис. 3. 8) имеет по три входа J и K, связанных логической операцией И, что существенно расширяет возможности ее применения при реализации различных алгоритмов управления состояниями триггера без применения дополнительных элементов.

### 3. 4. T-триггеры

T-триггеры иначе называются *счетными* и применяются для построения счетчиков и делителей частоты. Такой триггер имеет один тактовый вход и его состояние меняется каждый раз при подаче счетного импульса  $T=1$  и остается неизменным при  $T=0$ . Таблица состояния триггера приведена в табл. 3. 4. Обозначение T-триггера и диаграммы работы приведены на рис. 3. 9.

Таблица 3. 4  
Таблица состояний  
T-триггера

$T$	$Q^{n+1}$
0	$Q^n$
1	$\overline{Q^n}$

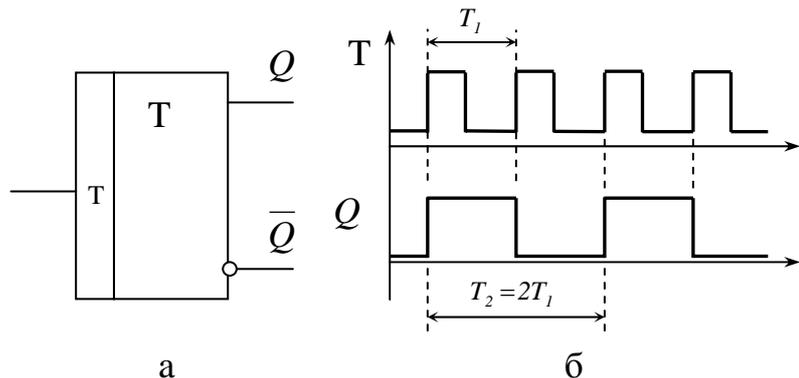
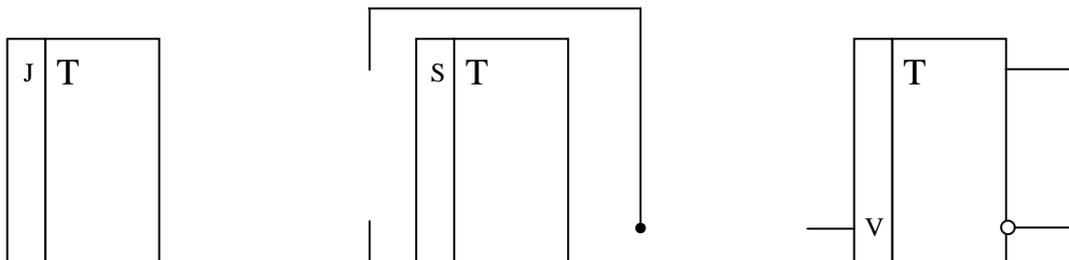


Рис. 3. 9. T-триггер

Как видно из диаграмм, T-триггер делит частоту входных импульсов в 2 раза. Для получения больших значений коэффициента деления частоты применяется каскадное соединение T-триггеров. Как самостоятельное изделие T-триггер в виде ИС не выпускается и при необходимости реализуется на базе других типов триггеров. Например, JK-триггер при  $J=1$  и  $K=1$  (рис. 3. 10,а) превращается в T-триггер. Пример реализации T-триггера на основе RS-триггера показан на рис. 3. 10,б.

“1”



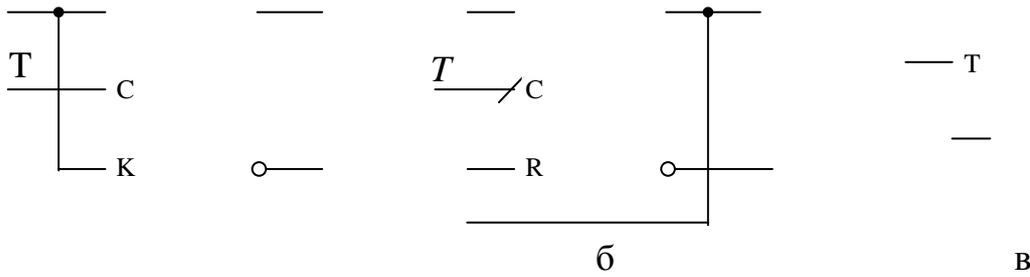


Рис. 3. 10. Варианты реализации триггеров

В отдельных случаях для расширения функциональных возможностей Т-триггер снабжается R и V-входами (вход разрешения изменения состояния). Такие TV-триггеры (рис. 3. 10,в) применяются для построения синхронных счетчиков.

### 3. 5. D -триггеры

Отличительной особенностью D-триггера (триггера задержки) является то, что он сохраняет информацию, поступившую на D-вход в предыдущем такте работы до прихода синхроимпульса, т.е. его состояние может изменяться с задержкой на один такт. Синхронизация работы производится по переднему или заднему фронту. Условное обозначение D-триггера с синхронизацией по переднему фронту и диаграммы его работы показаны на рис. 3. 11.

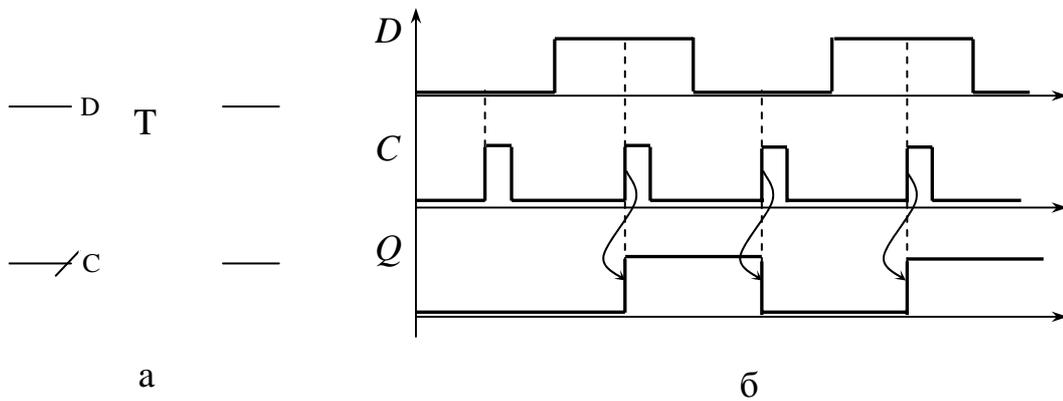


Рис. 3. 11. D-триггер

В DV-триггерах имеется дополнительный V-вход для разрешения изменения состояния. D-триггеры являются основой для построения регистров различного типа. D-триггер может быть реализован на базе JK-триггера путем исключения комбинации J=K (рис. 3. 12,а).

D



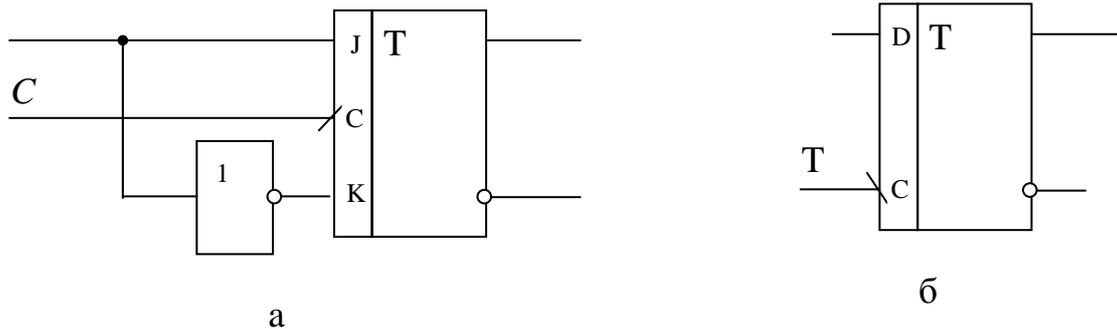


Рис. 3. 12. Варианты реализации триггеров

В свою очередь, на базе D-триггера может быть реализован T-триггер, если выход  $\overline{Q}$  соединить с D-входом (рис. 3. 12,б).

#### Контрольные вопросы и задания

1. Почему триггер можно рассматривать как элементарную ячейку памяти?
2. Классификация триггеров.
3. Особенности работы RS-триггеров.
4. В чем состоит отличие асинхронного RS-триггера от синхронного?
5. В чем состоит отличие JK-триггера от RS-триггера?
6. Области применения T-триггеров.
7. Реализуйте T-триггер на базе RS, JK и D-триггеров.
8. Почему D-триггер иначе называют триггером задержки.
9. Реализуйте D-триггер на базе JK-триггера.
10. В чем состоит отличие триггеров, работающих по уровню и по фронту тактирующего импульса?

#### Выводы

Существует множество разновидностей триггеров, отличающихся выполняемыми функциями, способами управления записью информации, схемотехническими решениями и т.д.

По выполняемым функциям классификацию триггеров производят по состоянию его выходов в момент его срабатывания и после. При этом различают следующие основные виды: RS, JK, T и D-триггеры.

## 4. СЧЕТЧИКИ

### 4. 1. Основные понятия и классификация счетчиков

*Счетчиками* называют устройства для подсчета числа входных импульсов и фиксации этого числа в каком-либо коде. В процессе работы счетчик последовательно изменяет свое состояние. Количество возможных состояний называется *модулем счета*  $K_{сч}$  или *емкостью счетчика* (предельное число импульсов, которое может быть подсчитано счетчиком). Основными элементами счетчика являются триггеры, количество которых определяет число разрядов счетчика  $n$  и его модуль счета  $K_{сч}$ . Нулевое состояние всех триггеров принимается за нулевое состояние счетчика. При подаче счетных импульсов счетчик последовательно изменяет свое состояние от нулевого до максимального, равного  $K_{сч}$ . Например, при  $n=3$   $K_{сч}=8$ , т.е. счетчик имеет 8 устойчивых состояний и каждый восьмой импульс, поступающий на его вход, будет возвращать счетчик в исходное состояние (обнуление счетчика). Это свойство позволяет использовать счетчики для деления частоты. Если входные импульсы следуют с частотой  $f_{вх}$  то частота выходных импульсов

$$f_{вых} = f_{вх} / K_{сч}.$$

Быстродействие счетчика характеризуется максимально допустимой *частотой поступления счетных импульсов*  $f_{сч}$  и *временем установления счетчика*  $t_{уст}$  - интервалом времени между моментом окончания счетного импульса и моментом установления кода.

В зависимости от способа кодирования внутренних состояний различают:

- двоичные счетчики;
- двоично-десятичные (декадные) счетчики;
- кольцевые счетчики – состояние счетчика определяется местоположением одной единственной 1 или 0;
- счетчики Джонсона – состояние счетчика определяется количеством 1 или 0.

В зависимости от способа подсчета различают следующие виды счетчиков:

- суммирующие;
- вычитающие;
- реверсивные;
- кольцевые.

По способу тактирования работы различают:

- синхронные счетчики, для работы которых требуется синхросигнал;
- асинхронные счетчики, работающие без синхросигналов.

По структурной организации, зависящей от способа подачи счетных импульсов на разряды счетчиков, различают:

- счетчики с последовательным (каскадным) переносом – счетные импульсы поступают только на вход первого разряда, а с его выхода - на вход второго и т.д. (счетчики с последовательным переносом отличаются простотой, но при этом имеют низкое быстродействие);

- счетчики с параллельным переносом – счетные импульсы поступают одновременно на все разряды (такие счетчики имеют более сложную организацию, но обеспечивают высокое быстродействие);

- параллельно-последовательные счетчики, представляющие собой комбинацию первых двух способов подачи счетных импульсов (такие счетчики используются для получения больших значений модуля счета).

Обобщенная схема счетчика показана на рис. 4. 1.

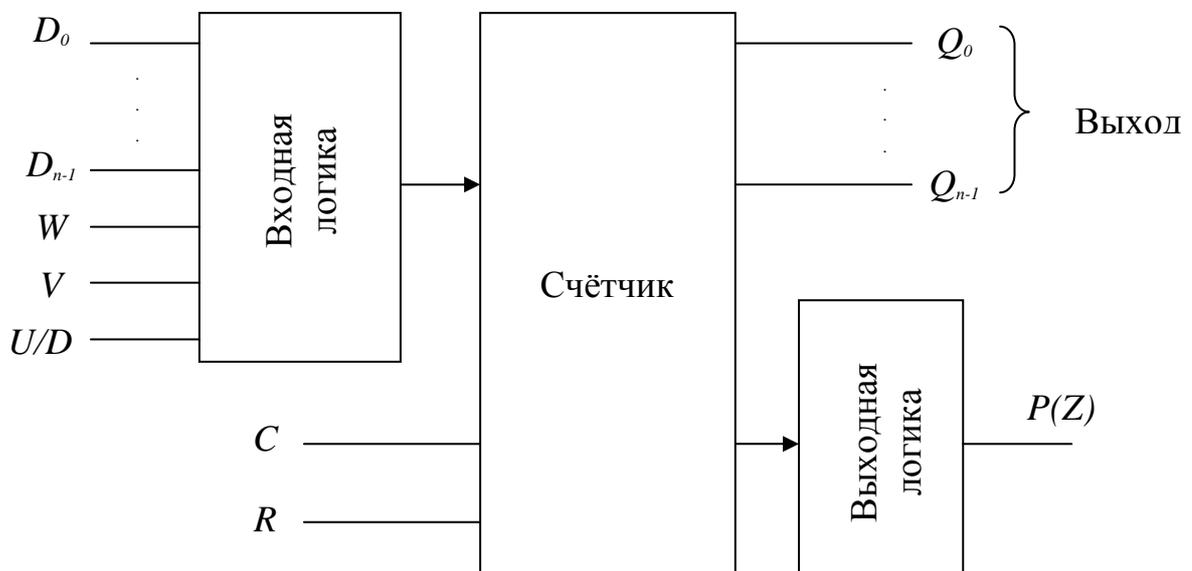


Рис. 4. 1. Обобщенная схема счетчика

Основными узлами являются собственно сам счетчик, входная логика и выходная логика. Входная логика предназначена для управления работой счетчика, а выходная – для индикации конца счета или формирования сигнала переноса или займа  $P(Z)$ .

Перечень основных входных сигналов:

$U/D$  – сигнал управления направлением счета (для реверсивных счетчиков);

$C$  – счетные импульсы;

$R$  – сигнал сброса;

$V$  – сигнал разрешения счета (для синхронных счетчиков);

$D_0 - D_{n-1}$  – параллельный код для предварительной установки счетчика (для счетчиков с предустановкой);

$W$  – сигнал разрешения предварительной установки.

## 4. 2. Асинхронные счетчики

Счетчики могут быть реализованы на триггерах различных типов. Простейший вариант построения трехразрядного суммирующего счетчика на Т-триггерах и диаграммы его работы показаны на рис. 4. 2.

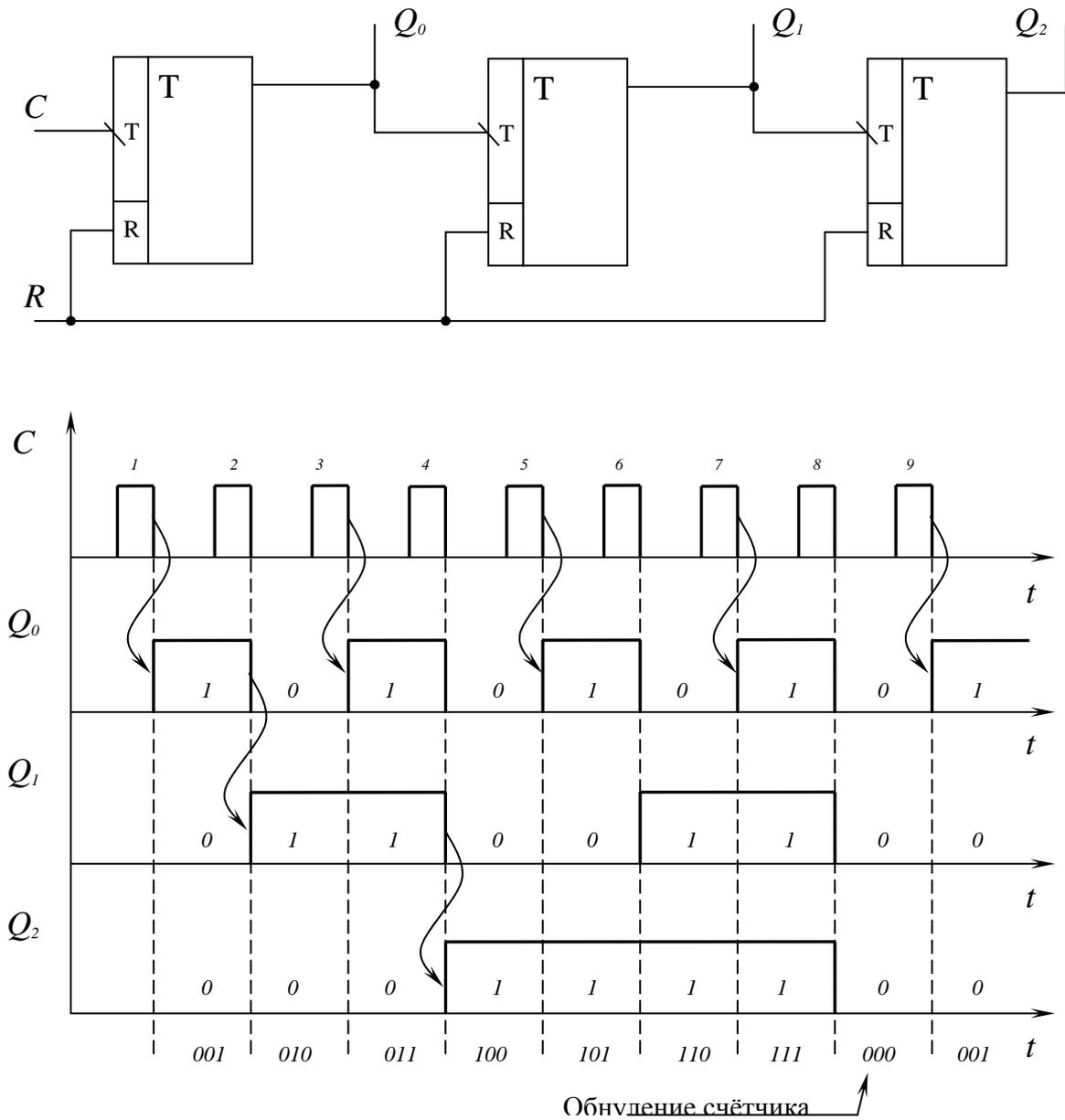


Рис. 4. 2. Счетчик на Т-триггерах

В приведенном счетчике реализован последовательный перенос счетных импульсов и все триггеры переключаются с разной частотой. Максимальная частота переключения у первого триггера. На рис. 4. 3 показан вариант построения счетчика на D-триггерах, работающих в счетном режиме.

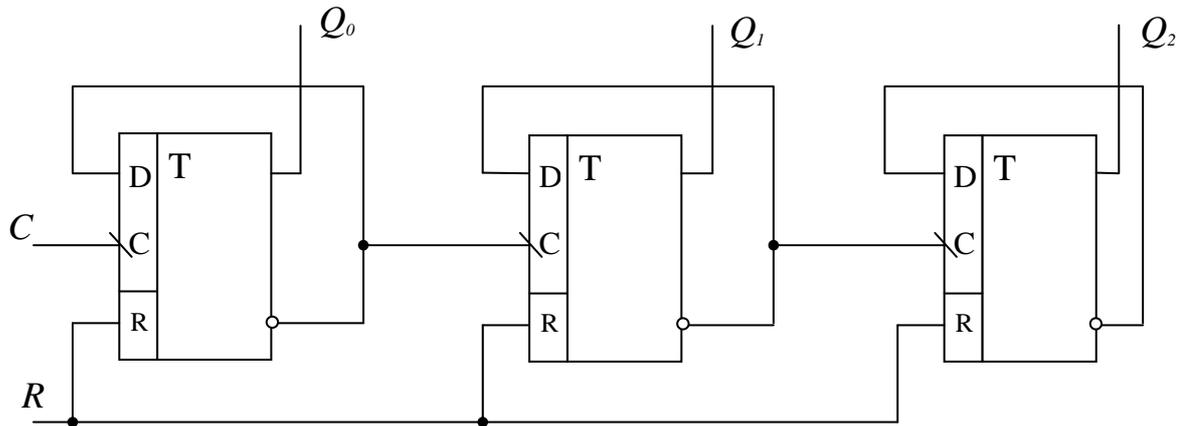


Рис. 4. 3. Суммирующий счетчик на D-триггерах

Для реализации вычитающего счетчика в схеме на рис. 4. 3 достаточно заменить инверсные выходы триггеров на прямые. Тогда при подаче импульса сброса  $R$  выходы счетчика установятся в единичное состояние и приход каждого счетного импульса будет изменять его состояние, описываемое убывающим двоичным кодом. Для реализации реверсивного счетчика перенос счетных импульсов можно организовать на основе схемы, показанной на рис. 4. 4.

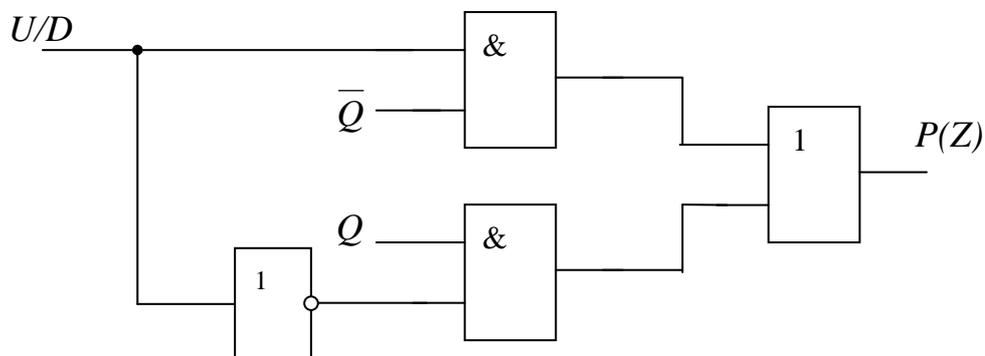


Рис. 4. 4. Схема переноса для реверсивного счетчика



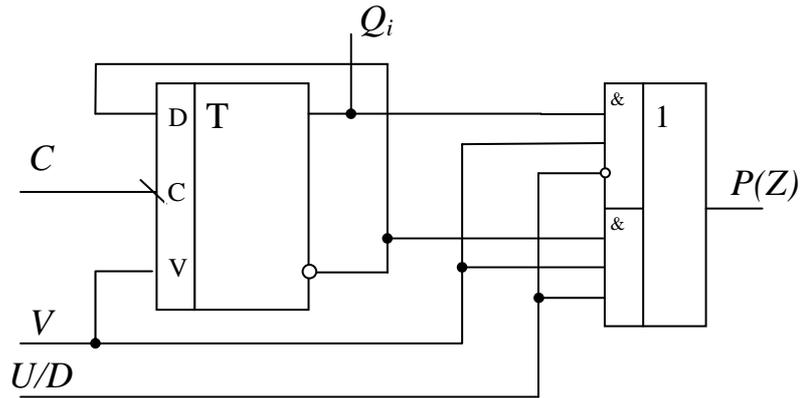


Рис. 4. 6. Счетная ячейка синхронного реверсивного счетчика

Для повышения быстродействия счетчика используется параллельный перенос между разрядами. При этом счетные импульсы подаются одновременно на все разряды счетчика и сигналы разрешения счета формируются на логических элементах И, на входы которых подаются общий сигнал разрешения счета  $V$  и сигналы  $Q$  со всех предыдущих разрядов счетчика. Схема синхронного счетчика с параллельным переносом показана на рис. 4. 7.

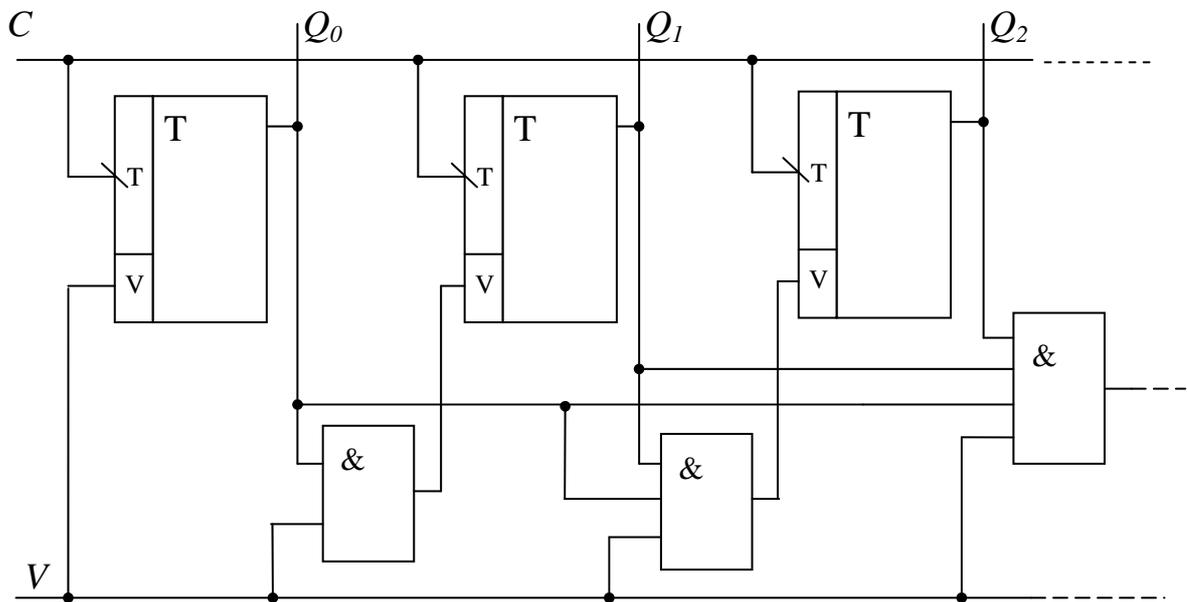


Рис. 4. 7. Синхронный счетчик с параллельным переносом

Быстродействие счетчиков с параллельным переносом не зависит от числа разрядов и определяется задержкой распространения сигналов через триггеры и элементы И. По сравнению со счетчиками с последовательным переносом максимальная частота счета может быть увеличена в  $(n - 1)$  раз. При повышении разрядности счетчиков возникают проблемы с

реализацией многовходовых схем И, поэтому в таких случаях наиболее оптимальными по быстродействию и аппаратным затратам являются счетчики с параллельно-последовательным переносом.

#### 4. 4. Счетчики с произвольным модулем счета

Во всех рассмотренных выше счетчиках состояние последовательно меняется от 0 до  $2^n - 1$  или от  $2^n - 1$  до 0. В ряде практических случаев требуются счетчики с произвольным модулем счета, например на 10 (двоично-десятичные счетчики) или на 9, 23, 59 (для реализации электронных часов). Существуют два основных способа реализации счетчиков с произвольным модулем счета.

Счетчики с принудительным сбросом. В таких счетчиках производится принудительный сброс по достижении заданного модуля счета. Схема такого счетчика показана на рис. 4. 8.

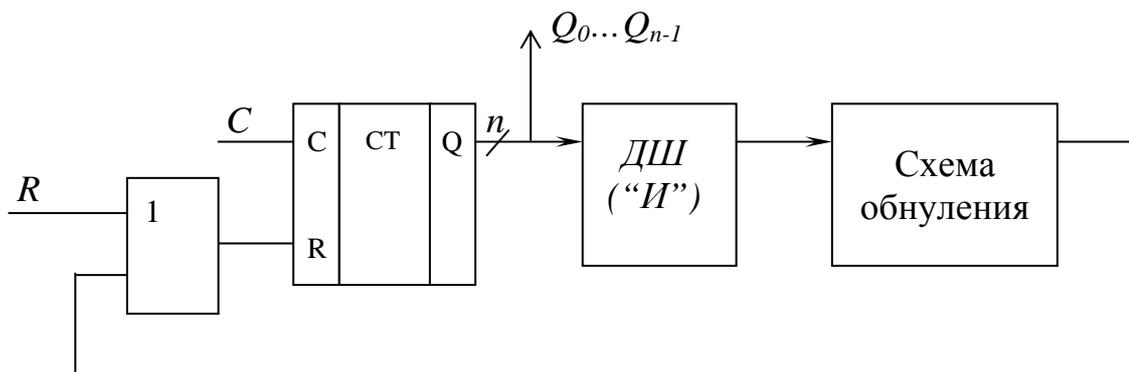


Рис. 4. 8. Счетчик с принудительным сбросом

Такой счетчик дополняется дешифратором кода конца счета, входы которого соединяются с выходами счетных триггеров. В простейшем случае роль дешифратора ДШ играет элемент И, на входы которого заводятся прямые выходы только тех триггеров, которые в конце счета устанавливаются в единицу. Выход дешифратора соединяется со схемой обнуления, выходным сигналом которой производится принудительный сброс счетчика. ИС счетчиков 155ИЕ2, 155ИЕ5 имеют встроенные элементы И и цепи принудительного сброса.

Счетчики с принудительным насчетом. Такие устройства реализуются на базе счетчиков с предварительной установкой кода. Схема счетчика показана на рис. 4.9. В счетчик по входам параллельной загрузки загружается код дополнения  $K$  до  $2^n$ . Конец счета в этом случае обнаруживается по естественному переполнению счетчика, при котором формируется сигнал переноса, которым производится перезагрузка счетчика.

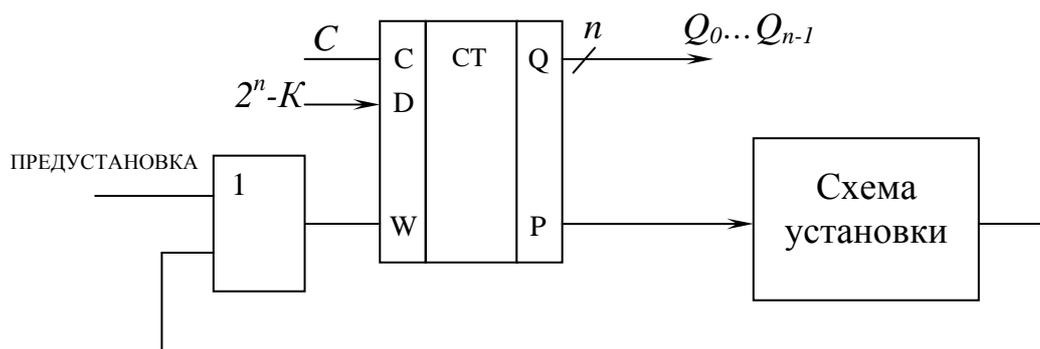


Рис. 4. 9. Счетчик с принудительным насчетом

Достоинством такого счетчика является использование штатных сигналов переноса и параллельной загрузки, а также простота изменения модуля счета. Недостаток заключается в неестественности последовательности изменения кода, что может потребовать в ряде случаев дополнительного перекодирования. Чаще всего этот вариант построения счетчика применяется при делении частоты входных импульсов, когда порядок изменения кода внутри счетчика не имеет значения.

При практической реализации счетчиков с произвольным модулем счета для устранения возможных сбоев при принудительном сбросе или параллельной загрузке, вызванной кратковременностью формируемых схемой И сигналов сброса или переноса, а также неодновременностью изменения сигналов на выходе различных разрядов счетчиков, необходимо предусматривать устройства, обеспечивающие своевременность и необходимую длительность сигналов сброса или переноса. В качестве таких устройств можно использовать одновибраторы или триггеры. Универсальный способ построения счетчика с принудительным сбросом показан на рис. 4. 10.

Счетчик управляется двухфазной последовательностью  $C1$  и  $C2$ . Сигнал конца счета  $P$  запоминается на один такт в триггере  $T$  и сброс счетчика производится синхронно со счетным сигналом  $C1$ . Такая же схема управления может быть использована и в счетчиках с принудительным насчетом. В этом случае в триггере запоминается сигнал переполнения, а сигнал  $СБРОС$  используется для параллельной загрузки.

Промышленностью выпускаются ИС счетчиков с различными функциональными возможностями. В качестве примера приведем ИС двоично-десятичного счетчика ( $K_{сч} = 10$ ) с параллельным переносом и предустановкой К155ИЕ9 (рис. 4. 11,а).

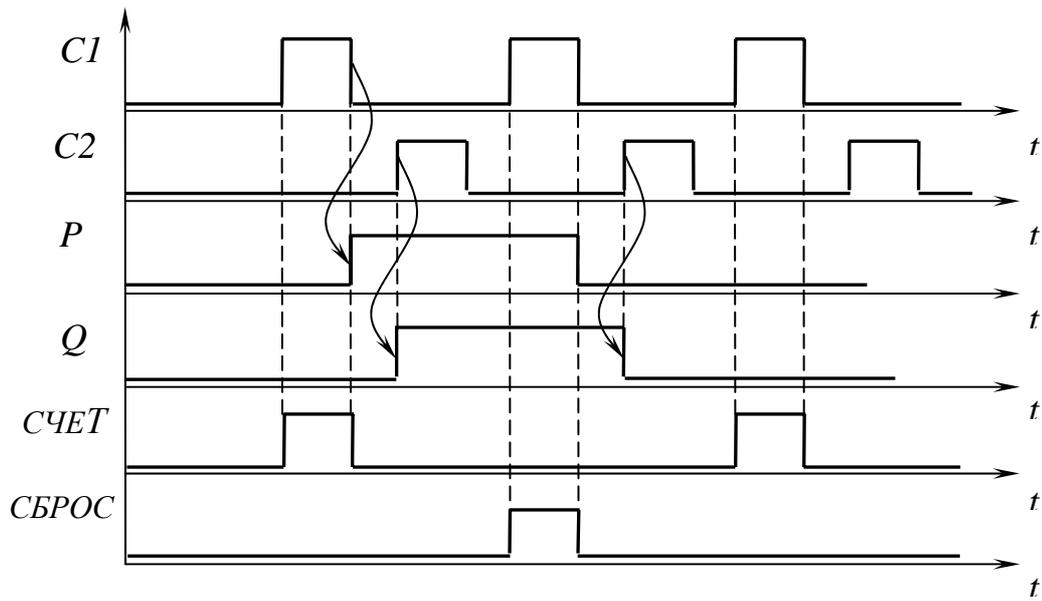
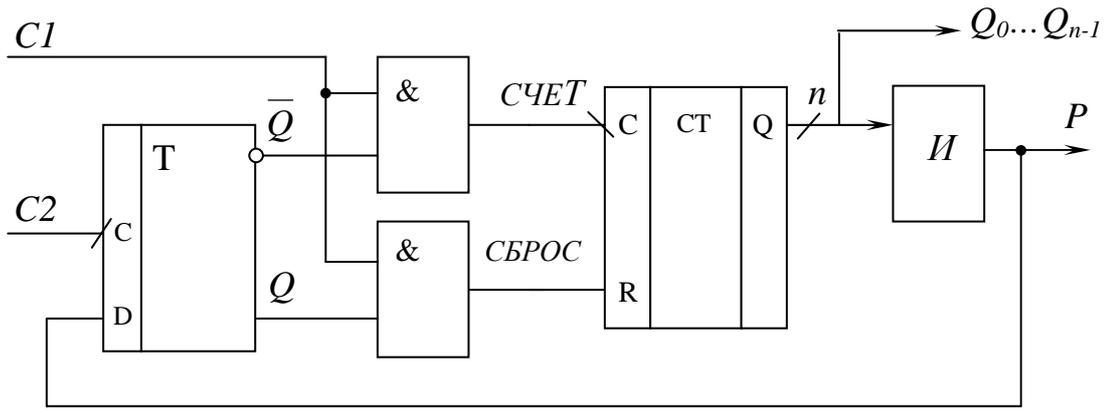


Рис. 4. 10. Универсальный способ построения счетчика с произвольным модулем счета

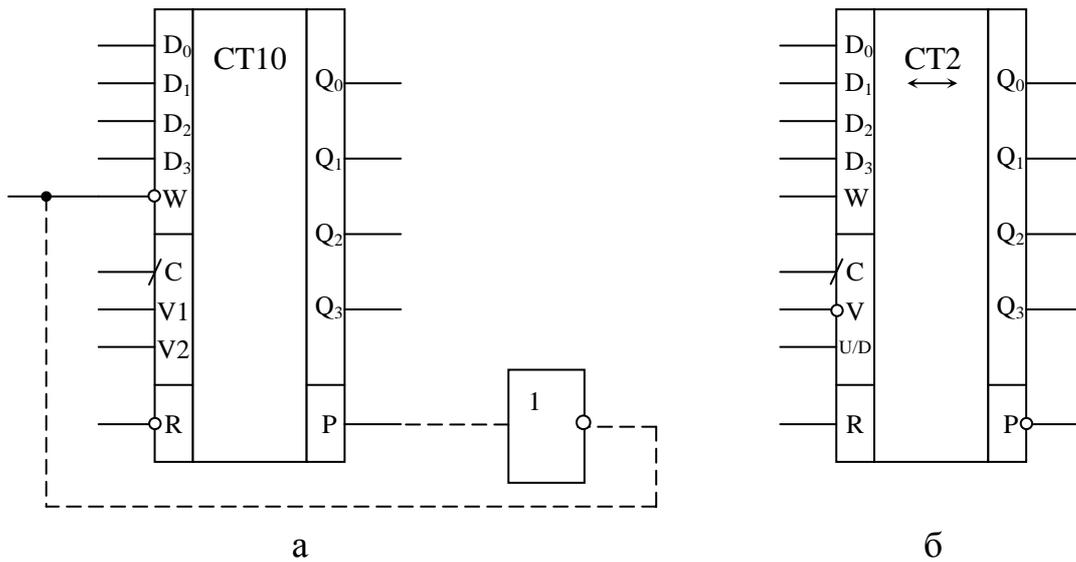


Рис. 4. 11. ЦИС счетчиков

Счет импульсов (без ввода информации по входу предустановки), подаваемых на вход  $C$ , происходит при  $W=V1=V2=R=1$ . При этом состояния счетчика на выходах  $Q_0...Q_3$  будут изменяться в двоично-десятичном коде от 0 до 9. Управляющие сигналы имеют следующее назначение:

$W=0$  служит для ввода кода по входам  $D_0...D_3$  при предустановке;

$V1=0$  служит для прерывания счета с сохранением кода;

$V2=0$  разрешает выдачу импульса переноса по выходу  $P$ .

Если дополнить счетчик схемой показанной пунктиром на рис. 4. 11,а то получится программируемый делитель частоты с коэффициентом деления

$$K_{дел} = 10 - K,$$

где  $K$  - число в двоично-десятичном коде, записанное через входы предустановки.

При этом частота выходных импульсов

$$f_{вых} = f_{вх} / K_{дел}.$$

На рис. 4. 11,б показана ЦИС реверсивного счетчика К564ИЕ11. При  $U/D = 1$  счетчик работает в режиме сложения, а при  $U/D = 0$  в режиме вычитания. Сигнал  $V=1$  служит для остановки счета и может быть использован как вход переноса при последовательном включении счетчиков.

Контрольные вопросы и задания

1. Что такое модуль счета и от чего зависит его величина?
2. Перечислите основные параметры счетчика.
3. Дайте классификацию счетчиков.
4. От чего зависит быстродействие счетчиков?
5. В чем состоит отличие синхронного счетчика от асинхронного?
6. Как можно реализовать вычитающий счетчик на основе суммирующего?
7. Как реализовать реверсивный счетчик?
8. Способы построения счетчиков с произвольным модулем счета.

### Выводы

Существует различные варианты построения счетчиков, отличающихся способами кодирования внутренних состояний, подсчета, тактирования и структурной организацией.

Для повышения быстродействия применяются счетчики с параллельным переносом счетных импульсов.

## 5. РЕГИСТРЫ

### 5. 1. Классификация регистров

*Регистрами* называют устройства для приема, хранения и выдачи данных, представленных в цифровом коде. Каждый разряд цифрового кода хранится в отдельном триггере регистра. Таким образом, регистр представляет собой разновидность устройства памяти. В общем случае регистр хранит  $n$ -разрядный код.

Классификация регистров может быть произведена по ряду признаков. Основным признаком является способ приема и выдачи данных. При этом различают:

- параллельные регистры с приемом и выдачей данных в параллельном коде;
- последовательные регистры с приемом или выдачей данных в последовательном коде;
- параллельно-последовательные.

Кроме основных функций приема, хранения и выдачи данных регистры могут выполнять функции преобразования данных или логические операции. По этому признаку различают:

- сдвиговые регистры;
- регистры с преобразованием параллельного кода в последовательный или наоборот;
- регистры с поразрядным логическим умножением или сложением;
- регистры последовательного приближения для построения аналого-цифровых преобразователей.

По количеству каналов, по которым поступают данные, различают:

- однофазные регистры с одним каналом;
- парафазные регистры с вводом данных по прямому и инверсному каналам.

По количеству тактов управления для записи данных различают:

- одноктактные регистры;
- двухтактные регистры;
- многотактные регистры.

По управлению записью данных различают:

- асинхронные регистры;
- синхронные регистры.

### 5. 2. Параллельные регистры

Пример построения параллельного регистра на асинхронных RS-триггерах и его условные обозначения показаны на рис. 5. 1. Запись в регистр производится подачей разрядов данных  $D_0 \dots D_{n-1}$  на S-входы асинхронной установки триггеров по сигналу разрешения приема  $V_1$ .

Выдача данных из регистра производится по сигналу  $V_2$ . Обнуление регистра производится по сигналу  $R$ .

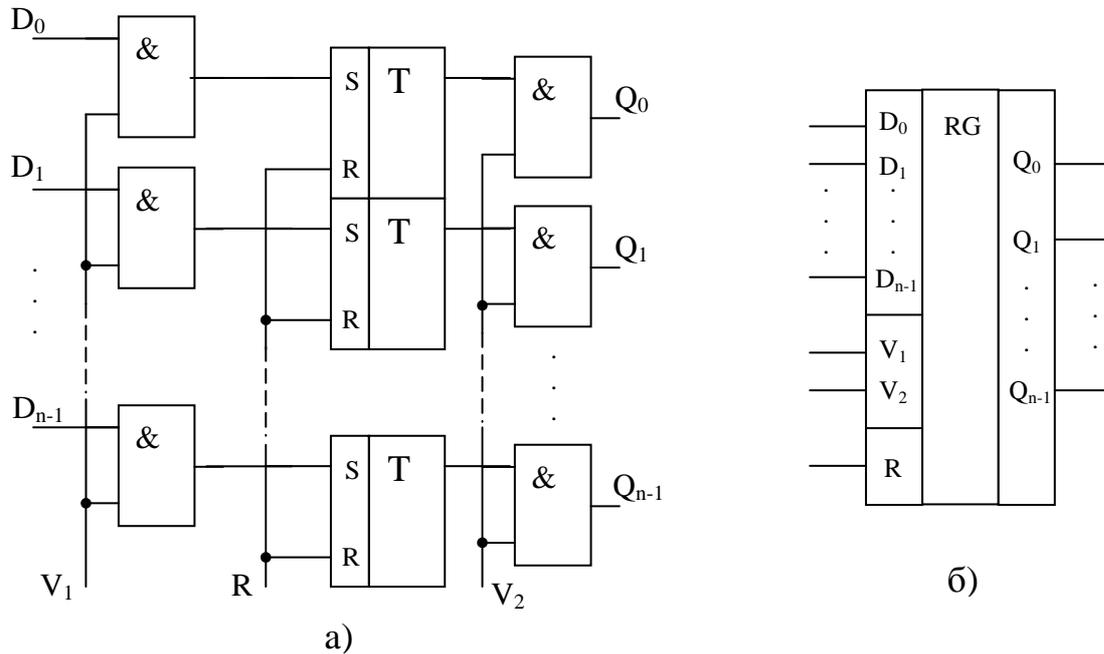


Рис. 5. 1. Регистр с асинхронным управлением записью

Вариант построения регистра на D-триггерах с синхронным управлением и его условное обозначение показаны на рис. 5. 2. Данные  $D_0 \dots D_{n-1}$  подаются на D-входы триггеров и запись данных производится по переднему фронту сигнала  $C$ .

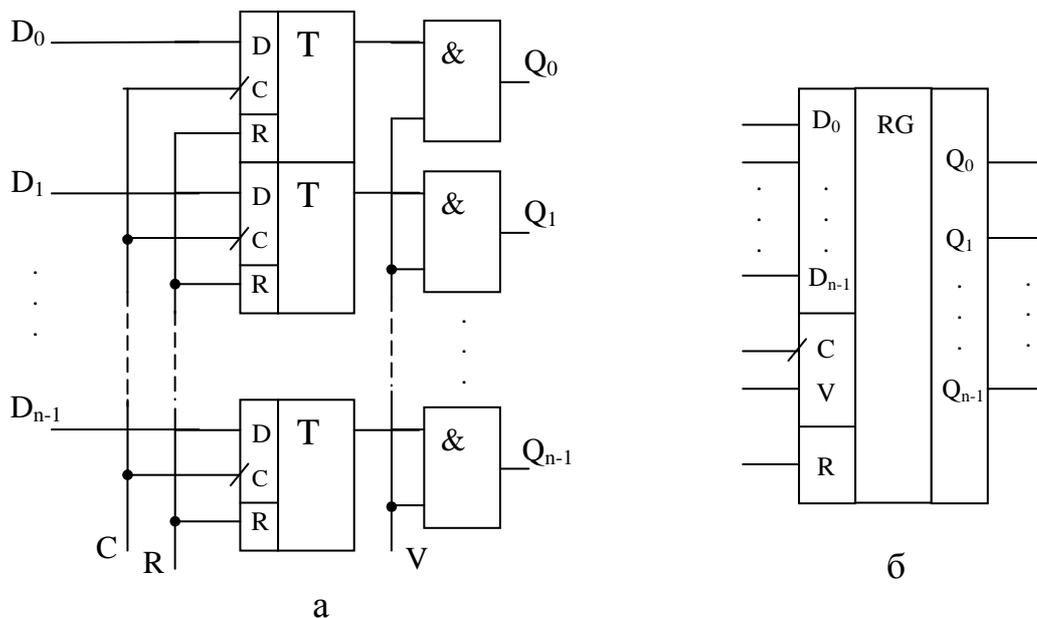


Рис. 5. 2. Регистр с синхронным управлением записью

### 5. 3. Сдвигающие регистры

Сдвигающие регистры применяются для выполнения операций:

- поразрядного сдвига при реализации вычислительных алгоритмов над цифровыми кодами;
- преобразования последовательного кода в параллельный и наоборот;
- запоминания данных с последовательным доступом;
- временной задержки.

На рис. 5.3 приведен пример построения  $n$ -разрядного сдвигающего регистра на JK-триггерах и его условное графическое обозначение. В этом регистре при каждом тактовом импульсе  $C$  в первый триггер происходит запись данных по входу  $D$ , а из других триггеров данные сдвигаются на один разряд вправо. За  $n-1$  такт в такой регистр может быть записан  $n$ -разрядный последовательный код.

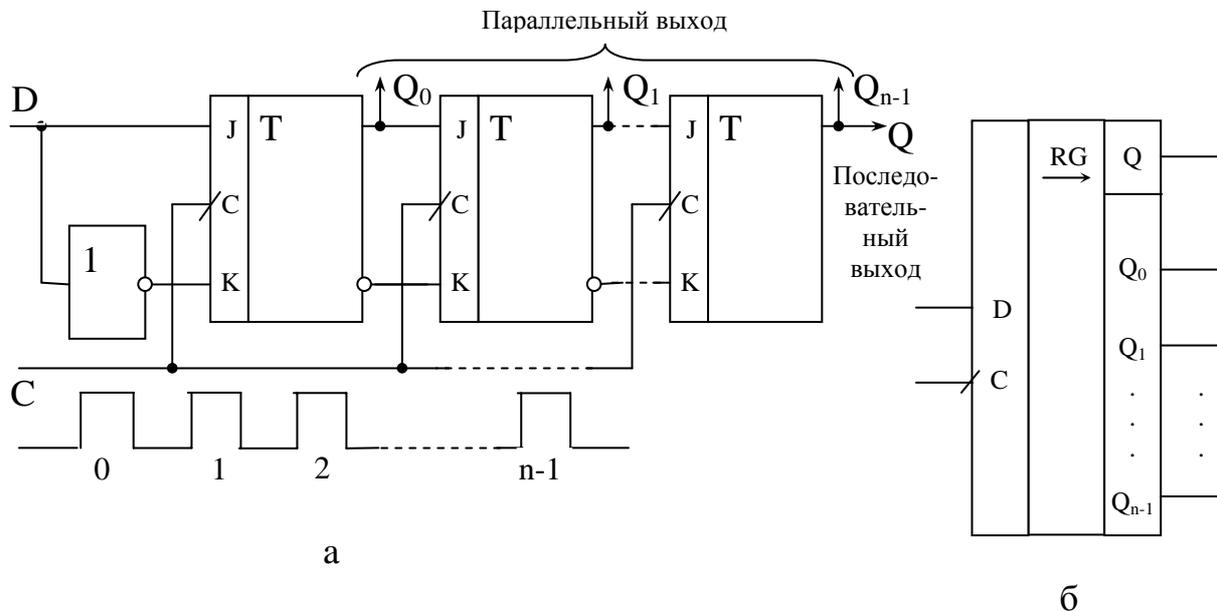


Рис. 5.3. Сдвигающий регистр на JK-триггерах

Варианты построения сдвигающих регистров на других типах триггеров показаны на рис. 5.4. В регистре на D-триггерах (рис. 5.4,а) введен дополнительный вход предварительного обнуления  $R$ . Регистр с парафазным последовательным входом данных на RS-триггерах (рис. 5.4,б) не требует предварительного обнуления.

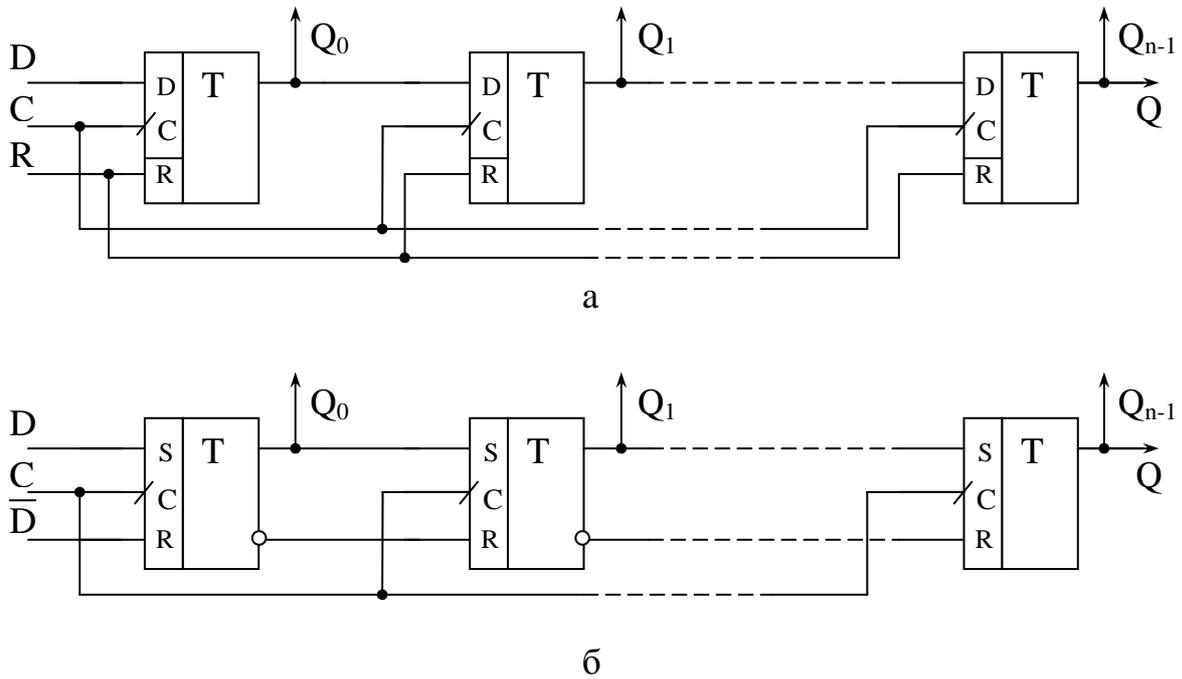


Рис. 5. 4. Варианты построения сдвигающих регистров

На рис.5.5. приведен вариант построения параллельно-последовательного регистра с комбинированным вводом данных. Вход D служит для последовательного ввода данных по синхросигналу C1 (СДВИГ). Входы  $D_0 \dots D_{n-1}$  служат для параллельного ввода данных по синхросигналу C2 (запись).

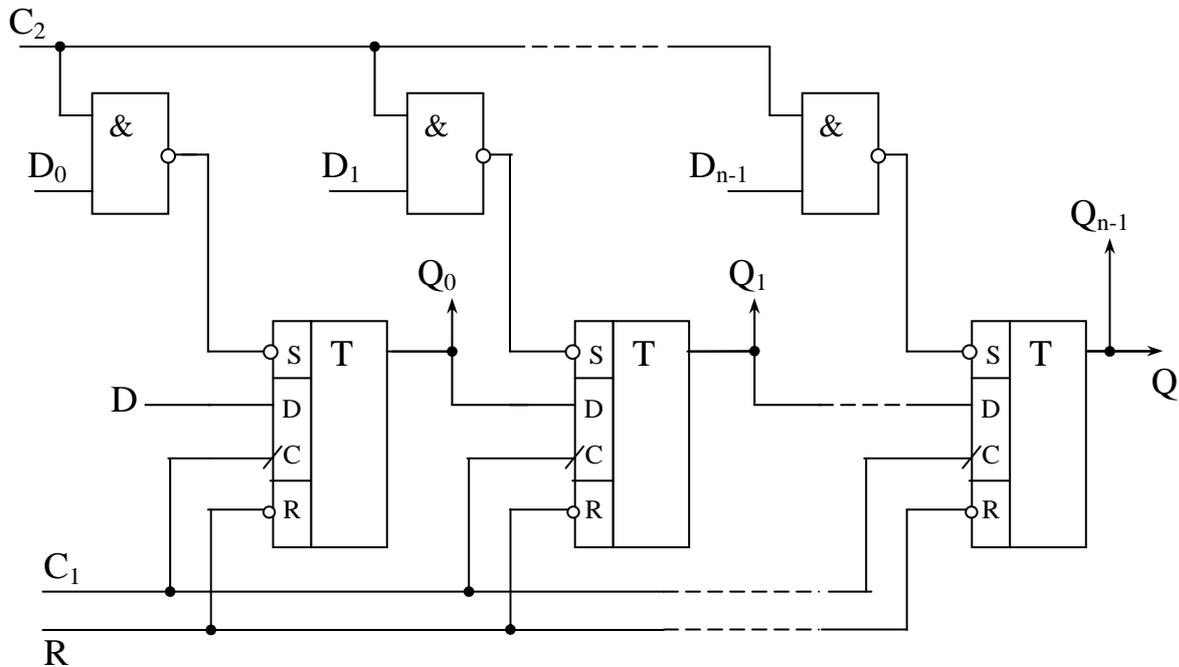


Рис. 5. 5. Параллельно-последовательный регистр

Промышленностью выпускаются многоцелевые регистры в виде ЦИС различной разрядности, которые могут работать в режимах с параллельной и последовательной загрузкой, со сдвигом вправо и влево, с возможностью двунаправленной передачи данных и.т.д. В качестве примера на рис. 5. 6 приведены ЦИС регистры 155ИР1 и 155ИР13.

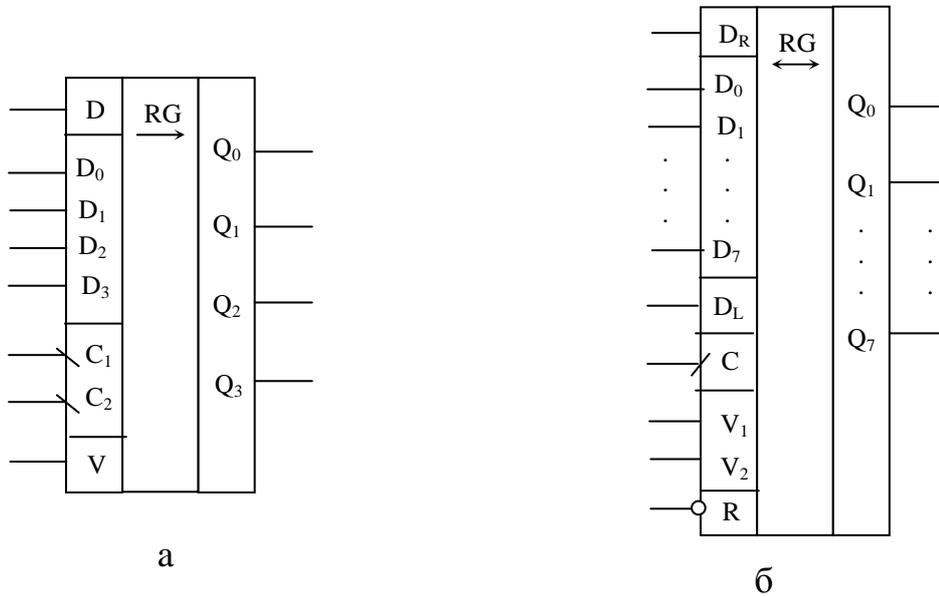


Рис. 5. 6. ЦИС регистров

В регистре 155ИР1 (рис.5.6,а) вход D служит для ввода последовательного кода, а входы D<sub>0</sub> ...D<sub>3</sub> - параллельного кода. Управление режимами работы производится по сигналу

$$V = \begin{cases} 0 - \text{сдвиг содержимого регистра по сигналу } C_1; \\ 1 - \text{запись параллельного кода по сигналу } C_2. \end{cases}$$

В регистре 155ИР13 (рис. 5. 6,б) вход DR используется при сдвиге вправо, а DL - влево. Сдвиги выполняются по сигналу C. Режимы работы определяются состояниями сигналов:

V<sub>1</sub>=0, V<sub>2</sub>=1 – сдвиг вправо;

V<sub>1</sub>=1, V<sub>2</sub>=0 – сдвиг влево;

V<sub>1</sub>=1, V<sub>2</sub>=1 – запись.

Следует отметить, что регистры являются одними из самых распространенных узлов цифровой техники и имеют большую номенклатуру в составе различных серий ЦИС.

### Контрольные вопросы

1. Назначение регистров.
2. Дайте классификацию регистров.
3. В чем состоят особенности построения и функционирования синхронного и асинхронного регистров?
4. Особенности построения сдвигающих регистров.
5. Области применения сдвигающих регистров.
6. Особенности построения параллельно-последовательного регистра.

### **Выводы**

**Регистры являются одними из самых распространенных устройств цифровой техники и имеют большую номенклатуру в составе различных серий ЦИС. Промышленностью выпускаются многоцелевые регистры в виде ЦИС различной разрядности, которые могут работать в режимах с параллельной и последовательной загрузкой, со сдвигом вправо и влево, с возможностью двунаправленной передачи данных и.т.д.**

## 6. ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

### 6. 1. Классификация полупроводниковых запоминающих устройств

Устройства, предназначенные для записи, хранения и выдачи данных в виде цифрового кода, называются *цифровыми запоминающими устройствами* (ЗУ). Классификация ЗУ может быть произведена по ряду признаков.

В зависимости от назначения различают:

- *оперативные запоминающие устройства* (ОЗУ), предназначенные для записи, хранения и считывания данных в процессе их обработки (в зарубежной литературе они обозначаются как RAM – Random Access Memory);
- *постоянные запоминающие устройства* (ПЗУ), предназначенные для хранения и считывания неизменных данных, предварительно заносимых на этапе их программирования (в зарубежной литературе ПЗУ обозначаются как ROM – Read Only Memory).

В зависимости от способа обращения к массиву данных различают:

- *адресные ЗУ*, в которых обращение к ячейкам памяти происходит по их физическим адресам, задаваемым в виде кода адреса;
- *ассоциативные ЗУ*, в которых поиск ячеек памяти с последующей выдачей данных производится по их содержанию.

Наибольшее распространение получили адресные ЗУ *с произвольной выборкой*, которые при обращении допускают любой порядок следования адресов. Применяются также ЗУ *с последовательной выборкой*, при которой выборка ячеек памяти производится только в порядке возрастания или убывания адресов.

Основными узлами ЗУ являются дешифратор адреса; матрица памяти, состоящая из отдельных запоминающих ячеек; выходная часть, обеспечивающая внешнее сопряжение и схема управления режимами работы (запись, хранение или считывание). Основными параметрами и характеристиками ЗУ являются:

- структурная организация памяти, определяющая её информационную емкость  $N = 2^n \times m$ , где  $n$  – разрядность адреса, а  $m$  – разрядность хранимых данных или длина слова;
- уровни входных и выходных сигналов, которые, как правило, приводятся к стандартным уровням ТТЛ, КМОП или ЭСЛ;
- напряжение питания и токи потребления в различных режимах работы;
- быстродействие, определяемое для различных режимов работы.

ЦИС ЗУ изготавливаются в зависимости от назначения по различным технологиям с использованием различной элементной базы и физических принципов хранения данных.

## 6. 2. Оперативные запоминающие устройства

По способу хранения данных ОЗУ делятся на статические и динамические. В *статических* ОЗУ матрица памяти состоит из элементов триггерного типа и считывание производится без разрушения данных, которые могут храниться неограниченное время при наличии напряжения питания. В *динамических* ОЗУ для хранения данных используются емкости МОП-структур, что требует для сохранения данных периодической регенерации (восстановления) данных.

Общая структура статического ОЗУ показана на рис. 6. 1.

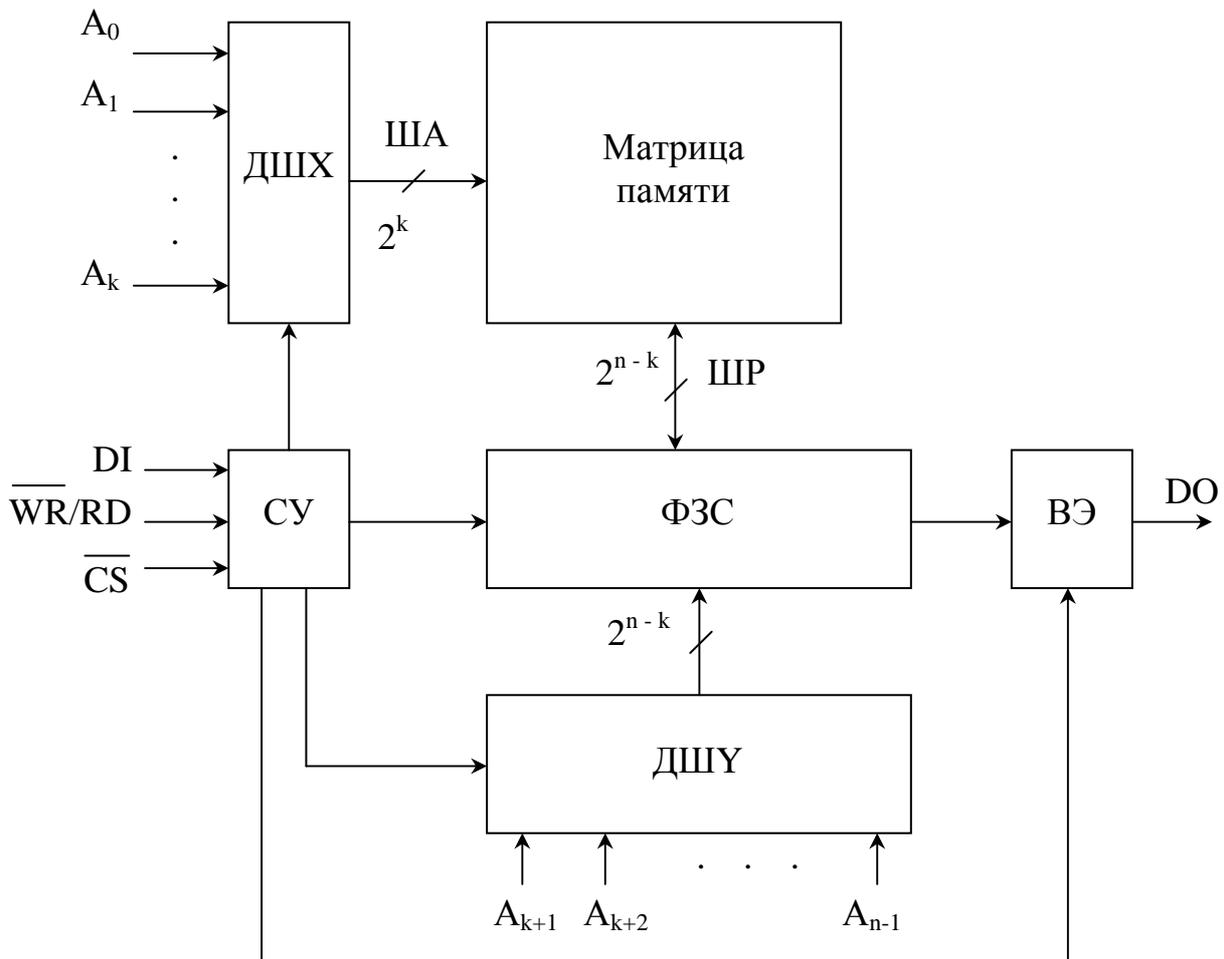


Рис. 6. 1. Общая структура статического ОЗУ с организацией  $2^n \times 1$

ОЗУ содержит дешифраторы строк ДШХ и столбцов ДШУ, на входы которых подаются разряды адреса ячейки памяти. Матрица памяти, состоящая из  $X$  строк и  $Y$  столбцов, подключена к выходам дешифраторов строк и столбцов через шины адреса ША и разрядов ШР. По заданному адресу выбирается одна из  $2^n$  ячеек памяти. Запись по входу DI или считывание по выходу DO производится с помощью формирователя сигналов записи и считывания ФЗС под действием управляющих сигналов  $\overline{WR/RD}$  и  $\overline{CS}$  (Chip Select), подаваемых на схему управления СУ. Выдача данных производится через выходной элемент ВЭ с ОК или тремя состояниями. Диаграммы работы статического ОЗУ в различных режимах приведены на рис. 6. 2.

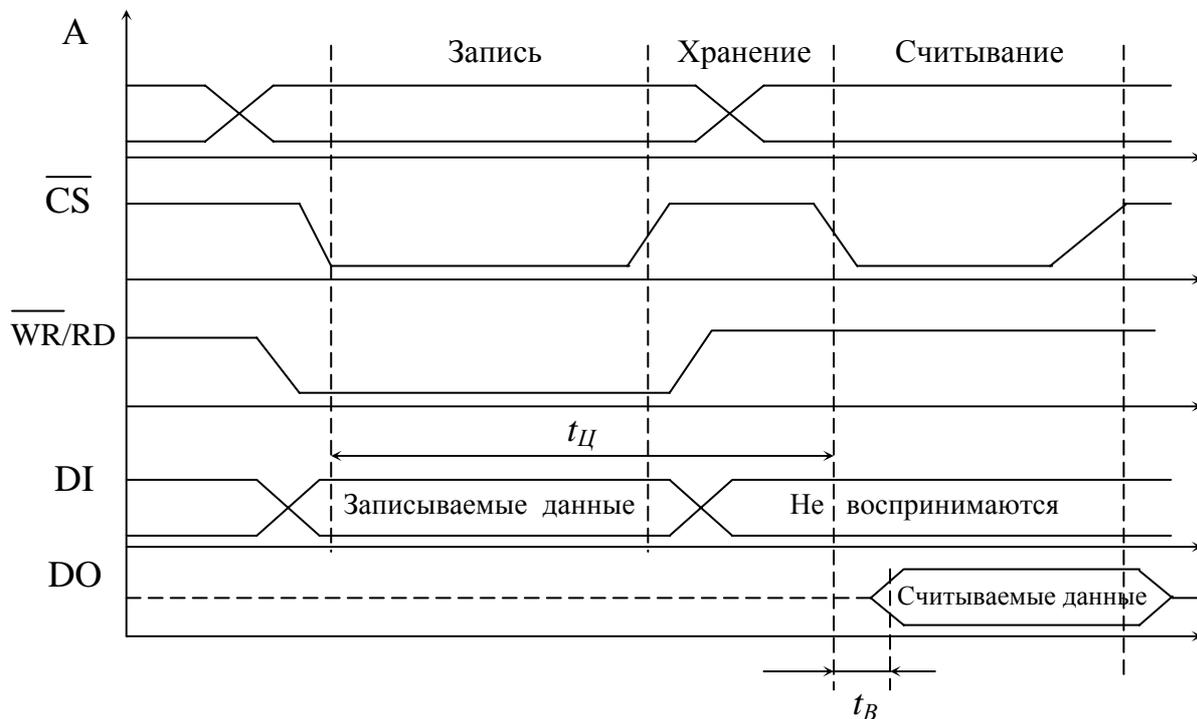


Рис. 6. 2. Диаграммы работы статического ОЗУ

Работа ОЗУ начинается с подачи адреса. После установления кода адреса подается сигнал  $\overline{CS} = 0$ , разрешающий формирование сигналов выборки ячейки памяти. При сигнале  $\overline{WR/RD} = 0$  производится запись в выбранную ячейку памяти, при этом выход ОЗУ находится в отключенном состоянии. При  $\overline{WR/RD} = 1$  производится считывание данных, при этом состояние входа DI не оказывает влияния на работу ОЗУ. При  $\overline{CS} = 1$  ОЗУ находится в режиме хранения с отключением выхода DO, при этом состояния адресных входов, входа DI и входов управления не влияют на работу ОЗУ. Быстродействие ОЗУ оценивается временем цикла и выборки. Время цикла  $t_{Ц}$  - минимально допустимое время между подачей сигнала выборки при записи и сигнала выборки для последующего считывания. Время выборки  $t_{B}$  - интервал времени между подачей сигнала

выборки и появлением данных на выходе ОЗУ. Для снижения энергопотребления в режиме хранения питание можно сохранять только на матрице памяти, отключив его от остальных узлов. Такая организация питания, называемая активно-пассивной, позволяет существенно снизить потребляемую мощность.

В ОЗУ с пословной организацией разрядность данных  $m = 4, 8$  или 16. Из-за ограниченного числа внешних выводов ИС многоразрядные входы и выходы данных совмещаются и выполняются двунаправленными.

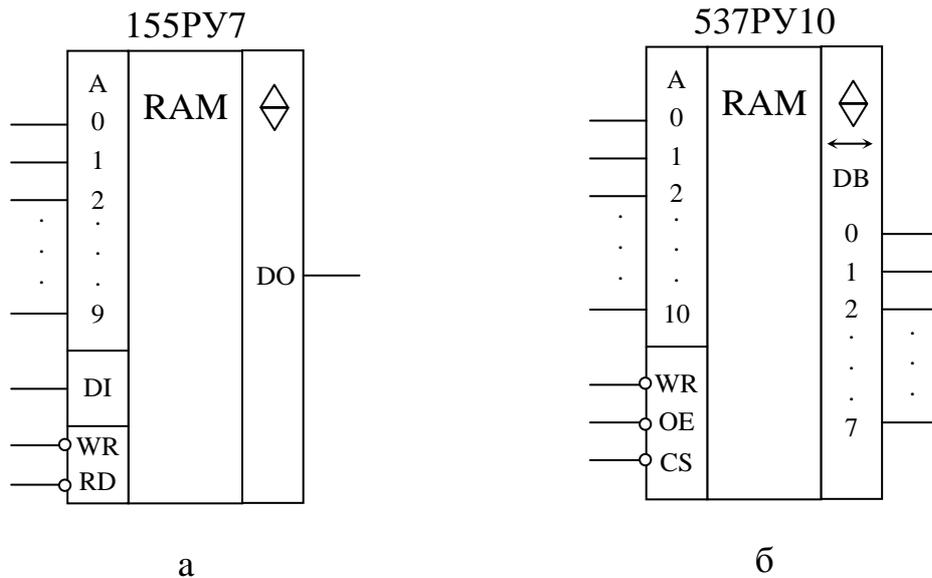


Рис. 6. 3. ИС статических ОЗУ

ЦИС статических ОЗУ выполняются преимущественно по ТТЛ, КМОП и ЭСЛ-технологиям и имеют различную структурную организацию. На рис. 6. 3 в качестве примера приведены ЦИС статических ОЗУ типа 155PY7 (ТТЛ, с организацией  $1K \times 1$ ), 537PY10 (КМОП, с организацией  $2K \times 8$ ). В ОЗУ с пословной организацией входы и выходы данных совмещаются и выполняются двунаправленными с управлением от дополнительного сигнала OE (Output Enable). Для увеличения информационной емкости устройств памяти применяются различные схемы наращивания. На рис.6.4,а показано построение модуля оперативной памяти с информационной емкостью  $N = 2^n \times m$  на базе одноразрядных ИС ОЗУ. Количество ИС в модуле равно разрядности слова данных. На все ИС адрес и сигналы управления подаются одновременно. На рис. 6. 4,б показана схема построения модуля памяти с информационной емкостью  $2^k \times m$  на базе ИС с организацией  $2^n \times m$ . Дополнительные разряды адреса  $A_n \dots A_{k-1}$ , необходимые для увеличения емкости памяти, подаются на дешифратор старших разрядов адреса,

выходные сигналы которых используются для обращения к той или иной ИС ОЗУ.

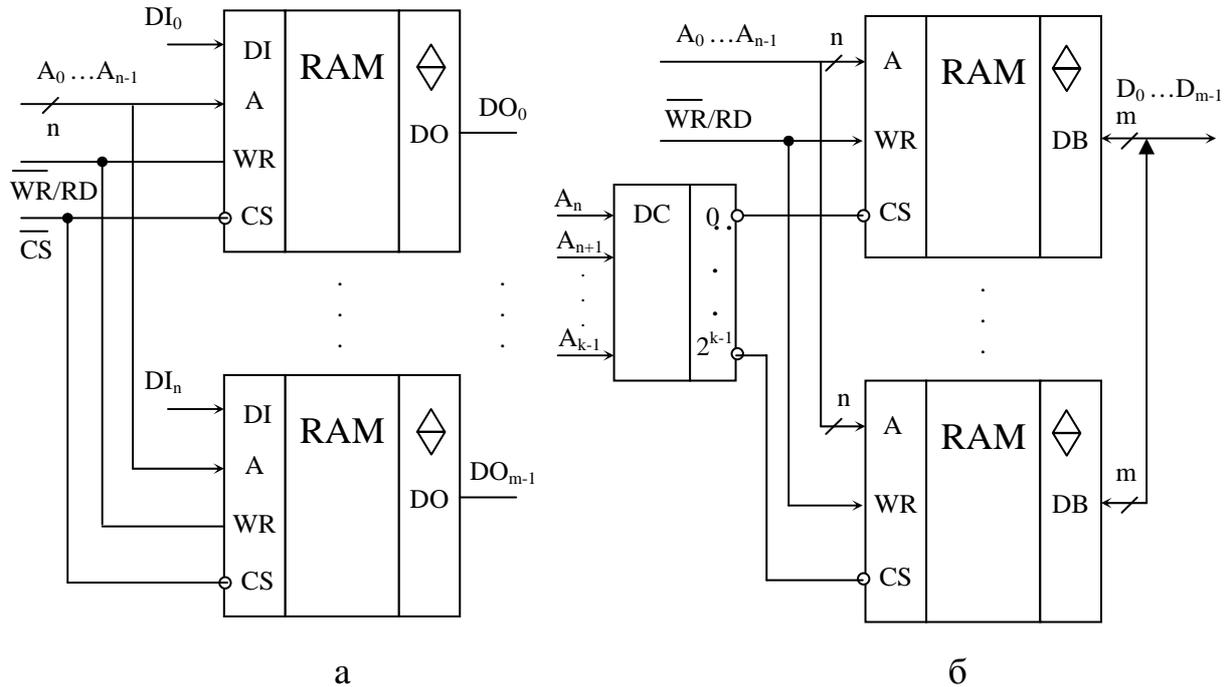


Рис. 6. 4. Способы наращивания информационной емкости ОЗУ

При необходимости одновременного наращивания разрядности данных и емкости применяется комбинация двух рассмотренных схем.

Существенное увеличение информационной емкости при одновременном снижении энергопотребления достигается в ОЗУ динамического типа, в которых данные хранятся в виде заряда на емкости МОП-транзисторов. Из-за разряда конденсатора емкостью порядка  $0,1$  пФ при токе утечки порядка  $10^{-10}$  А время хранения не превышает  $1-2$  мс. Поэтому для предотвращения разрушения данных производится периодический подзаряд емкости или так называемая регенерация данных. Регенерация производится двумя способами. При внешней регенерации производится периодический перебор всех ячеек памяти, при которой производится считывание и повторная запись данных. В ОЗУ с внутренней регенерацией подзаряд емкостей производится встроенными средствами в промежутках между выборками. Такие ОЗУ называются *квазистатическими*. Так как ОЗУ динамического типа предназначены для построения памяти с большой информационной емкостью, то в силу имеющихся ограничений по числу внешних выводов ИС ввод адреса производится в два приема: сначала вводится адрес строки, а затем адрес столбца. Для стробирования ввода адресов в отличие от ОЗУ статического типа вместо одного сигнала  $CS$  используется два управляющих сигнала  $RAS$  (Row Address Select) и  $CAS$  (Column Address Select).

Информационная емкость БИС динамических ОЗУ достигает десятков мегабит и значительно превосходит емкость БИС ОЗУ статического типа.

### 6.3. Постоянные запоминающие устройства

В зависимости от назначения различают следующие типы ИС ПЗУ:

- *постоянные ЗУ* (ПЗУ или ROM) с пассивной матрицей памяти, в которую данные заносятся однократно при их изготовлении с помощью специального фотошаблона. Такие ПЗУ называются *масочными* и в режиме хранения не потребляют энергии;
- *программируемые ПЗУ* (ППЗУ или PROM – Programmable ROM) с возможностью однократного программирования содержимого матрицы памяти электрическим способом;
- *репрограммируемые ПЗУ* (РПЗУ или EPROM – Erasable PROM) с возможностью многократного программирования электрическим способом и стиранием данных электрическим способом или с помощью ультрафиолетового облучения.

В отличие от ОЗУ все виды ПЗУ, включая предварительно запрограммированные ППЗУ и РПЗУ, работают только в режимах хранения и считывания. Структура ПЗУ проще структуры ОЗУ (рис. 6.5), т.к. отсутствуют узлы управления записью и ввода данных. При считывании данных по заданному адресу используется только один сигнал CS.

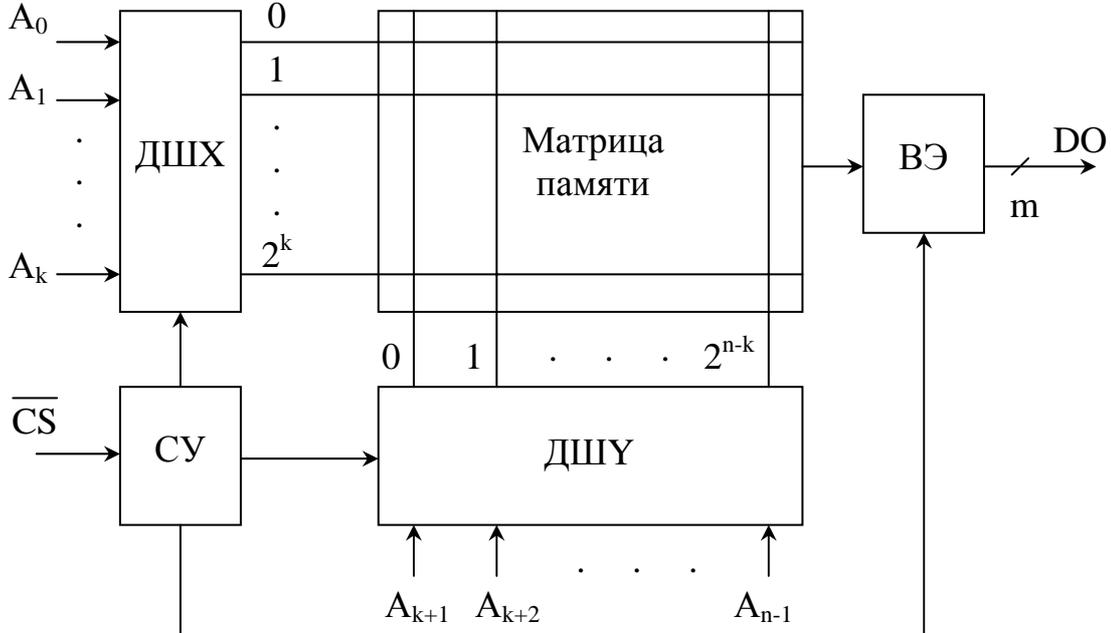


Рис. 6.5. Общая структура ПЗУ

В ППЗУ матрица памяти представляет собой матрицу, образованную горизонтальными и вертикальными проводниками, подключенными к выходам дешифраторов строк и столбцов. Программирование ячеек памяти, находящихся на пересечении горизонтальных и вертикальных проводников, производится их соединением или разъединением. В современных ЦИС ПЗУ исходно во всех ячейках памяти имеются соединения, задаваемые плавкими нихромовыми или поликремниевыми переключателями. Возможные варианты построения ячеек памяти показаны на рис. 6. 6, а-б.

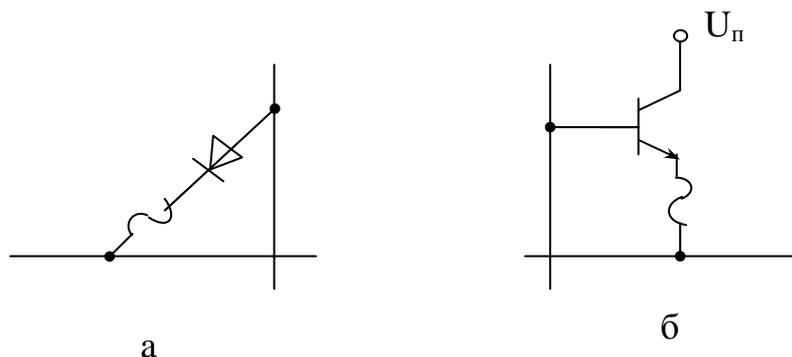


Рис. 6. 6. Варианты построения ячеек ППЗУ

При программировании ПЗУ производится пережигание ненужных переключателей серий импульсов тока. Для этого в состав ППЗУ вводится дополнительный узел электрического программирования. Программирование ППЗУ производится на специальных стандах - программаторах по специальной программе. После программирования производится термотренировка ППЗУ при повышенной температуре (около 100 °С) с целью предотвращения самовосстановления переключателей.

ЦИС ППЗУ имеют пословную организацию с  $m = 4$  или 8 при различной информационной емкости и выход с ОК или с тремя состояниями. Так, например, ЦИС ППЗУ 556РТ18, изготовленная по ТТЛШ-технологии, имеет емкость  $2К \times 8$ , выход с тремя состояниями и время считывания 60 нс.

Репрограммируемые ПЗУ с ультрафиолетовым стиранием информации производятся по технологии МНОП – металл – нитрид кремния – окисел - полупроводник или ЛИЗМОП- лавинно-инжекционные МОП-транзисторы с плавающим затвором. В таких РПЗУ используются явления хранения заряда между двумя различными диэлектрическими средами или проводящей средой и диэлектрической с использованием МОП - структур. Эти заряды, а следовательно, и записанная информация могут храниться несколько лет. Для стирания информации производится ультрафиолетовое облучение кристалла через специальное прозрачное окно на корпусе ИС. Под действием облучения происходит рассасывание зарядов.

В РПЗУ с электрическим программированием запись и стирание производится электрическим способом, и в них возможно избирательное стирание информации, т.е. в заданной ячейки памяти. Такие РПЗУ изготавливаются по технологии, близкой к ЛИЗМОП. Под плавающим затвором МОП-транзистора размещается еще один – управляющий затвор, при подаче напряжения на который за счет туннельного эффекта происходит рассасывание зарядов, т.е. стирание информации.

Наращивание информационной емкости постоянной памяти производится по схемам, аналогичным для оперативной памяти (рис. 6. 4).

#### Контрольные вопросы и задания

1. Классификация полупроводниковых ЗУ.
2. Основные параметры и характеристики ЗУ.
3. Изобразите общую структуру статического ОЗУ.
4. Изобразите диаграмму работы статического ОЗУ в различных режимах.
5. Нарисуйте схему статического ОЗУ с организацией 8К×8 на базе ЦИС К537РУ10.
6. Нарисуйте схему статического ОЗУ с организацией 2К×16 на базе ЦИС К537РУ10.
7. Нарисуйте схему статического ОЗУ с организацией 4К×16 на базе ЦИС К537РУ10.
8. В чем состоит отличие динамических ОЗУ от статических.
9. Основные типы ПЗУ и области их применения.

#### Выводы

**Полупроводниковые ОЗУ делятся на два основных типа: оперативные и постоянные. Их основные параметры и характеристики существенно зависят от технологии изготовления.**

**ОЗУ бывают двух типов: статические и динамические. Последние обладают наилучшим показателем отношения информационная емкость/стоимость и применяются для построения ЗУ большой емкости.**

**ПЗУ бывают двух типов: с однократным и многократным программированием.**

## 7. ЭЛЕМЕНТЫ И УСТРОЙСТВА С ПРОГРАММИРУЕМОЙ СТРУКТУРОЙ

### 7. 1. Общие положения

Одним из основных путей повышения надежности и улучшения характеристик цифровых устройств и систем различного назначения является широкое применение БИС и СБИС. Однако, разработка и производство БИС и СБИС экономически оправданы только при их больших тиражах, что естественным образом ограничивает их возможную номенклатуру. Другими словами в виде БИС и СБИС целесообразно реализовывать устройства и узлы широкого применения. С повышением степени интеграции начинает проявляться противоречие между сложностью и универсальностью ЦИС. ЦИС малой степени интеграции, реализующие элементарные логические функции типа И-НЕ или ИЛИ-НЕ являются наиболее универсальной элементной базой, так как на их основе могут быть реализованы любые более сложные цифровые устройства и системы, т.е. принципиально номенклатура ИС малой степени интеграции может включать весьма ограниченное количество их типов. Однако такая реализации связана со значительными аппаратными затратами и с ухудшением основных характеристик (быстродействия, потребляемой мощности, надежности, массогабаритных показателей и др.) спроектированного устройства. ЦИС средней степени интеграции реализуют широко применяемые цифровые узлы, такие, например, как дешифраторы, счетчики, регистры и др. Для повышения универсальности необходимо при этом увеличивать их номенклатуру. Если идти по пути дальнейшего повышения степени интеграции, то для покрытия всех возможных потребностей БИС и СБИС должны иметь практически неограниченную номенклатуру, что принципиально невозможно по соображениям трудозатрат и стоимости их проектирования и производства. Одним из выходов из создавшегося положения является производство универсальных БИС и СБИС, которые могут быть настроены или запрограммированы под те или иные применения. При этом круг потенциальных потребителей возрастает, и следовательно, возрастает и их тираж, что является основным условием для крупносерийного производства БИС и СБИС. Возможно два варианта настройки или программирования таких БИС и СБИС: аппаратная настройка или программирование и алгоритмический. Под аппаратной настройкой или программированием понимается возможность изменения внутренних или внешних межсоединений ИС или задание их внутреннего состояния путем записи определенной информации. Алгоритмический вариант широко используется в микропроцессорных СБИС и здесь не рассматривается.

Аппаратная настройка или программирование используется с применением следующей элементной базы:

- 1) на базе универсальных СИС и БИС:
  - мультиплексоров;
  - ПЗУ.
- 2) на базе специальных БИС:
  - программируемых логических матриц (ПЛМ);
  - базовых матричных кристаллов (БМК).

Применение элементной базы первой группы основано на их универсальности и избыточности. Их применение в качестве настраиваемых или программируемых устройств может оказаться неоптимальным с точки зрения быстродействия, надежности и других характеристик. Элементы второй группы, специально спроектированные для аппаратного программирования, позволяют достичь более высоких характеристик.

## 7. 2. Применение мультиплексоров для реализации комбинационных устройств

Кроме основного применения мультиплексор можно использовать в качестве универсального настраиваемого элемента для реализации комбинационных схем различной сложности. В таких применениях адресные входы мультиплексора используются в качестве информационных, а информационные – в качестве настроечных. Использование мультиплексоров в качестве универсального устройства комбинационного типа основано на свойстве любой логической функции от произвольного числа переменных принимать два только значения 0 или 1:

$$f(X_1, X_2, \dots, X_n) = \begin{pmatrix} 0 \\ 1 \end{pmatrix}.$$

В простейшем случае на базе мультиплексора можно реализовать комбинационное устройство с числом переменных, равным числу адресных входов  $n$ . В качестве иллюстрации рассмотрим простейший пример реализации логической функции «исключающее ИЛИ» на мультиплексоре  $4 \rightarrow 1$ . Переменные  $X_1$  и  $X_2$  подаются на адресные входы, а настройка на реализуемую функцию производится путем подачи логических уровней «0» на информационные входы  $X_0$  и  $X_3$  и «1» на  $X_1$  и  $X_2$  (рис. 7. 1,а). При всевозможных комбинациях входных переменных  $X_1$  и  $X_2$  на выходе мультиплексора появляется «1» только для двух комбинаций  $X_1 \bar{X}_2$  и  $\bar{X}_1 X_2$ . Возможна также реализация логических функций с большим числом переменных.

Пример 7.1. Пусть задана таблица истинности для некоторой функции трех переменных (табл. 7. 1).

Таблица 7. 1

Таблица истинности к примеру реализации логической функции трех переменных

№ п/п	Входные переменные			Y		Информационные входы	
	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>			для мультиплексора 4→1	для мультиплексора 8→1
0	0	0	0	0	Y=0	X <sub>0</sub>	X <sub>0</sub>
1	0	0	1	0			X <sub>1</sub>
2	0	1	0	0	Y=X <sub>1</sub>	X <sub>1</sub>	X <sub>2</sub>
3	0	1	1	1			X <sub>3</sub>
4	1	0	0	1	Y=1	X <sub>2</sub>	X <sub>4</sub>
5	1	0	1	1			X <sub>5</sub>
6	1	1	0	1	Y= $\overline{X_1}$	X <sub>3</sub>	X <sub>6</sub>
7	1	1	1	0			X <sub>7</sub>

Пусть требуется реализовать данную функцию на базе мультиплексора 4→1.

Мысленно разобьем таблицу истинности на группы по две строки в каждой и определим значения функции, которые могут принимать значения «0», «1» или одного из аргументов, который называется в данном случае остаточной переменной. В данном примере остаточной переменной является X<sub>1</sub>. Из табл. 7. 1. становится очевидным, что для реализации данной функции необходимо подать на информационные входы следующие сигналы: на X<sub>0</sub> - «0», на X<sub>1</sub> - X<sub>1</sub>, на X<sub>2</sub> - «1» и на X<sub>3</sub> -  $\overline{X_1}$ . Реализация функции с одним остаточным членом потребовала дополнительного инвертора.

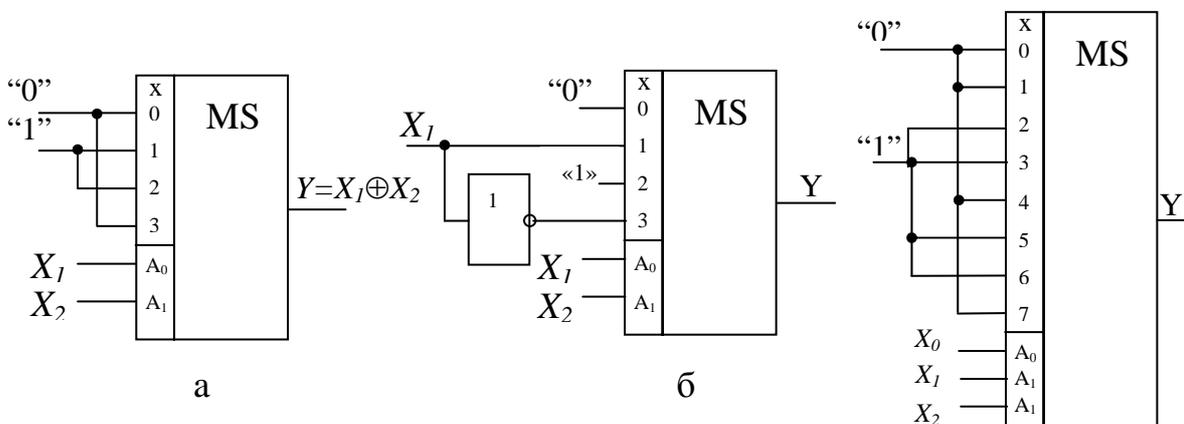


Рис. 7. 1. Примеры реализации логических функций

B

Логическую функцию трех переменных удобнее реализовывать на базе мультиплексора с тремя адресными входами, т.е. на базе структуры  $8 \rightarrow 1$ . Схема соединений входов для реализации табл. 7. 1 показана на рис. 7. 1,в. При реализации данной функции на основе ЛЭ типа ЗИ-НЕ потребуется 3 стандартных корпуса ЦИС и при этом быстродействие будет определяться величиной  $3t_{зд.р.ср}$ .

Наиболее целесообразным представляется использовать мультиплексоры для реализации логических функций 4 – 5 переменных, т.е. на базе ИС мультиплексоров  $3 \rightarrow 1$  или  $4 \rightarrow 1$ , что дает наибольший выигрыш в аппаратных затратах и быстродействии. Следует также отметить, что применение мультиплексоров позволяет реализовать с минимальными аппаратными затратами устройства комбинационного типа непосредственно по таблице истинности, избежав при этом этап минимизации логической функции. При необходимости реализации функций с числом переменных больших, чем количество адресных входов, можно использовать два способа. В первом способе часть переменных (остаточные переменные – 1 и более) подаются на информационные входы, что потребует использования дополнительных ЛЭ. Вариант с одной остаточной переменной для функции трех переменных был рассмотрен выше на рис. 7. 1,б. Второй способ основан на использовании пирамидальных (многоярусных) схем соединения стандартных ИС мультиплексоров. Этот способ допускает реализацию логических функций достаточно большой размерности и основан на разложении Шеннона. При этом на стандартных ИС типа  $8 \rightarrow 1$  и  $16 \rightarrow 1$  в пределах двух ярусов могут быть реализованы функции 7 – 9 переменных.

### **7. 3. Применение ПЗУ для реализации комбинационных устройств и функциональных преобразователей**

ПЗУ, основной функцией которых является долговременное энергонезависимое хранение данных, могут быть использованы и в других целях. Это относится прежде всего к ППЗУ, которые можно рассматривать как универсальные элементы с программируемым по желанию пользователя внутренним содержанием. В этом отношении ППЗУ можно рассматривать как устройство с табличным заданием любых функций от переменных, подаваемых на адресные входы. Это могут быть логические функции, арифметические и элементарные функции, а также функции произвольного вида, допускающие табличное задание.

В зависимости от организации на базе ПЗУ могут быть реализованы различные функции. Так, например, запрограммированное ППЗУ с организацией  $2^n \times 1$  можно рассматривать как комбинационное устройство

с  $n$  входами и одним выходом. Такое устройство выдает на выход 0 или 1 в зависимости от содержания ячейки по адресу, которым в данном случае является  $m$  – разрядный код. На базе ПЗУ с пословной организацией  $2^n \times m$  можно строить комбинационные устройства с  $n$  входами и  $m$  выходами. В таких устройствах по поступающему на адресные входы  $n$ -разрядному коду на выход выдается содержимое ячеек по данному адресу в виде  $m$ -разрядного кода. Наиболее целесообразно на базе таких ПЗУ реализовывать преобразователи кодов различного назначения. Быстродействие устройств на ПЗУ будет определяться временем считывания из него и может быть значительно выше, чем при традиционной реализации на базе ЛЭ.

Внутренняя организация ПЗУ, выполняемая по схеме «дешифратор адреса – накопительная матрица», приспособлена для реализации логических функций в СДНФ без какой-либо минимизации. При этом присутствующие конstituенты единицы реализуются соединением данного выхода дешифратора с выходом ПЗУ, а отсутствующие – устранением такой связи при программировании пользователем. Независимо от числа конstituент единицы, максимальное число которых может быть  $2^n$ , приходится программировать все ячейки, что предопределяет внутреннюю аппаратную избыточность ПЗУ при реализации логических функций. Однако т.к. цена одной ячейки ПЗУ значительно ниже цены ЛЭ, то даже при 5-10 кратной избыточности реализация логической функции на ПЗУ может оказаться выгодней не только по стоимости, но и по массогабаритным показателям, быстродействию и надежности. Особенно целесообразно использовать ПЗУ для реализации плохо поддающихся минимизации логических функций, внешним признаком которых является сложность их аналитической записи.

При табличном задании функций программирование ПЗУ производится непосредственно по этой таблице путем занесения 0 и 1 в соответствующие ячейки памяти. Если функции заданы аналитически, то их следует привести в СДНФ, а затем составить таблицу истинности, которая и является таблицей для программирования.

Пример 7. 2. Требуется реализовать на базе ПЗУ систему четырех логических функций от 6 переменных. Реализация данных функций потребует ПЗУ емкостью 256 бит с организацией  $64 \times 4$ . Можно использовать одну 16 выводную ЦИС ПЗУ типа 556РТ4 с организацией  $256 \times 4$  и временем считывания 70 нс. При этом, несмотря на внутреннюю избыточность, получим значительный выигрыш по аппаратным затратам по сравнению с вариантом реализации на базе ЛЭ. Особенно заметен эффект от применения ПЗУ при реализации логических функций и их систем большой размерности с  $n = 8-12$ . Минимизация функций такой размерности встречает большие сложности. При реализации на ПЗУ

минимизация не требуется, что является еще одним аргументом в пользу применения ППЗУ.

Другим применением ППЗУ является воспроизведение произвольных функциональных зависимостей и в частности элементарных функций. Требуемый объем памяти для функций одной переменной зависит от числа точек в которых задается функция и требуемой точности ее воспроизведения.

Пример 7.3. Пусть требуется воспроизвести некоторую функцию в 1024 точках с погрешностью не выше  $\delta = 0,025\%$ .

Для решения данной задачи требуется ППЗУ с пословной организацией с 1024 ячейками памяти, т.е.  $n = 10$ . По заданной погрешности воспроизведения определим требуемую разрядность представления данных

$$m = \log_2(1/\delta + 1) = \log_2(1/0,0025 + 1) \approx 12.$$

Таким образом, требуется ППЗУ с организацией 1024×4096. Для реализации можно использовать 3 ЦИС типа 565РТ1 (1024×4) с временем считывания 300 нс, или 2 ЦИС 556РТ1 (2048×8) с временем считывания 350 нс или 1 ИС 573РФ3 (4096×16) с временем считывания 450 нс.

#### 7. 4. Программируемые логические матрицы

*Программируемые логические матрицы* (ПЛМ) представляют собой разновидность ППЗУ специально ориентированных на реализацию логических функций аппаратным программированием. В зарубежной литературе такие устройства обозначаются как PLA – programmable logic array или PLM - programmable logic matrix.

ПЛМ состоит из четырех основных частей (рис.7.2):

- 1) входной части, содержащей  $n$  повторителей-инверторов, для формирования входных переменных в прямой и инверсной формах;
- 2) матрицы M1, содержащей  $k$  элементов И, для реализации конъюнкций;
- 3) матрицы соединений M2, содержащей  $m$  элементов ИЛИ для реализации дизъюнкций;
- 4) выходной части с выходными элементами ВЭ для внешнего сопряжения.

При этом возможности ПЛМ при реализации логических функций определяются тройкой чисел  $n$ ,  $k$  и  $m$ . Из приведенной структуры следует, что ПЛМ предназначена для воспроизведения  $m$  логических функций, которые образуются как дизъюнкции из  $k$  термов от  $n$  переменных.

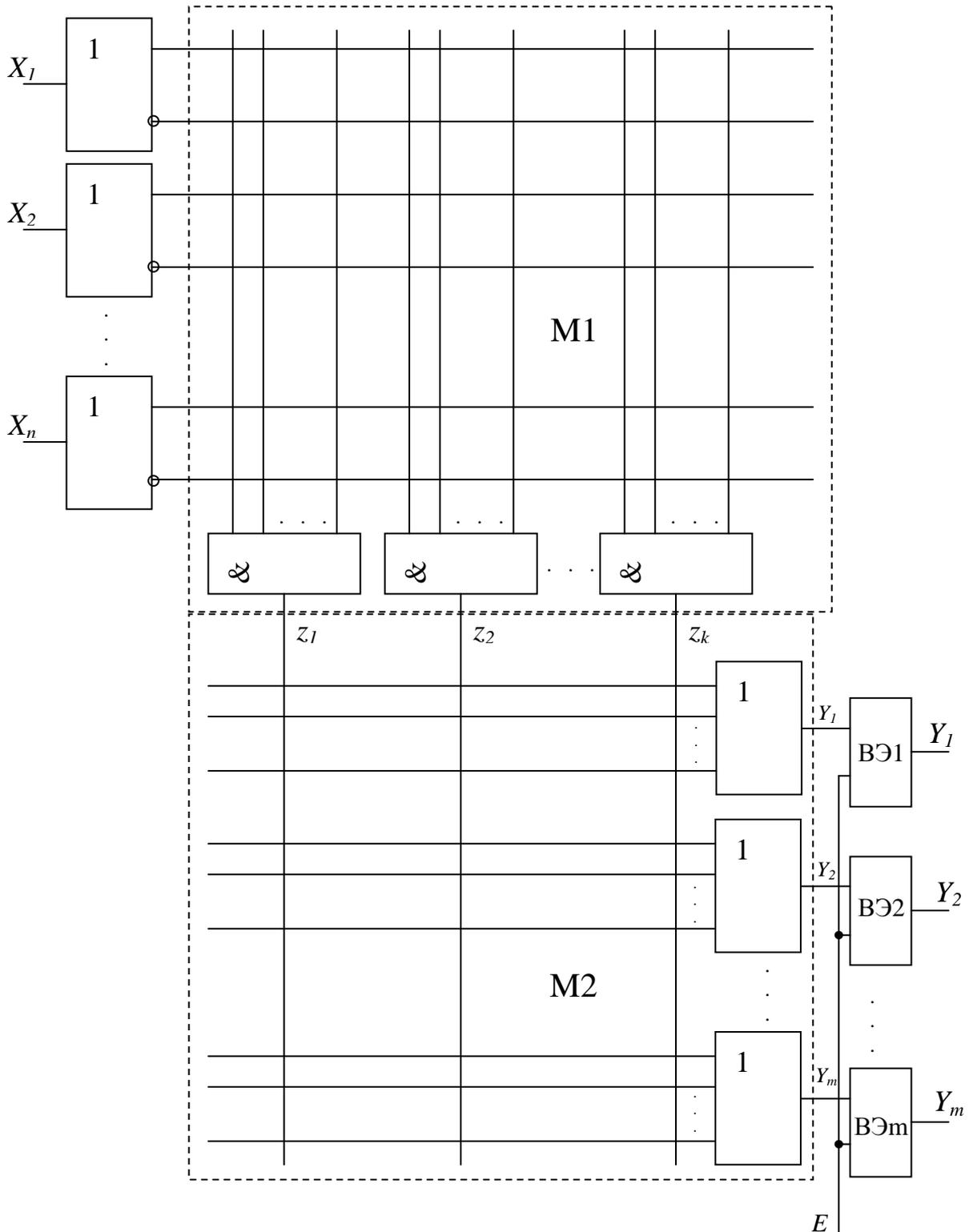


Рис. 7. 2. Общая структура ПЛМ

Промышленностью выпускаются ПЛМ на базе диодов Шоттки, многоэмиттерных транзисторов, МОП-транзисторов и др. Для реализации конкретных логических функций производится аппаратное программирование соединений различными способами. При массовом

программировании соединения создаются специальными технологическими масками на заводах-изготовителях. При программировании пользователем используются ПЛМ с выжиганием плавких перемычек, т.е. устраняются ненужные связи. При электрическом программировании создаются требуемые связи на базе МОП-транзисторов. Последние два способа доступны для пользователя и производятся на специальных стендах - программаторах. Поскольку к применению ПЛМ прибегают при реализации достаточно сложных логических функций, то при их программировании применяются средства САПР как на этапе минимизации функций, так и на этапе программирования.

Один из вариантов исполнения выходного элемента ПЛМ показан на рис. 7. 3,а.

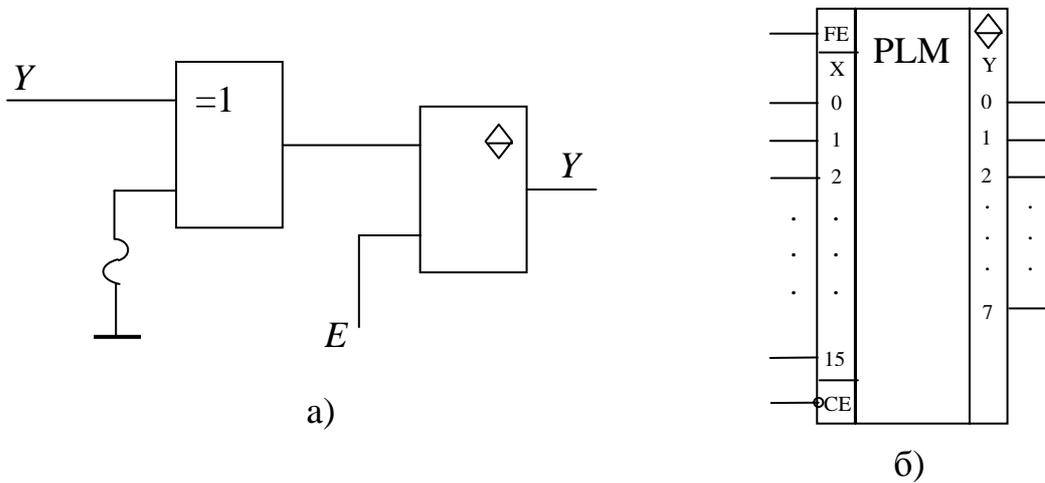


Рис. 7. 3. Примеры реализации ПЛМ

Элемент ИСКЛЮЧАЮЩЕЕ ИЛИ с пережигаемой перемычкой на втором входе служит для инвертирования выходных функций. Элемент с тремя состояниями на выходе обеспечивает необходимую нагрузочную способность, возможность наращивания ПЛМ и работу на общие магистрали. В качестве примера на рис. 7. 3,б приведена ЦИС ПЛМ типа 556РТ1, выполненная на базе диодов Шоттки и восьмиэмиттерных транзисторах. Эта ЦИС имеет  $n=16$ ,  $k=48$  и  $m=8$ . Вход FE используется при программировании. Сигнал SE, кроме выполнения функции сигнала E, используется также для управления внутренними узлами при программировании.

При необходимости расширения логических возможностей имеющихся ПЛМ, можно использовать их наращивание по различным схемам.

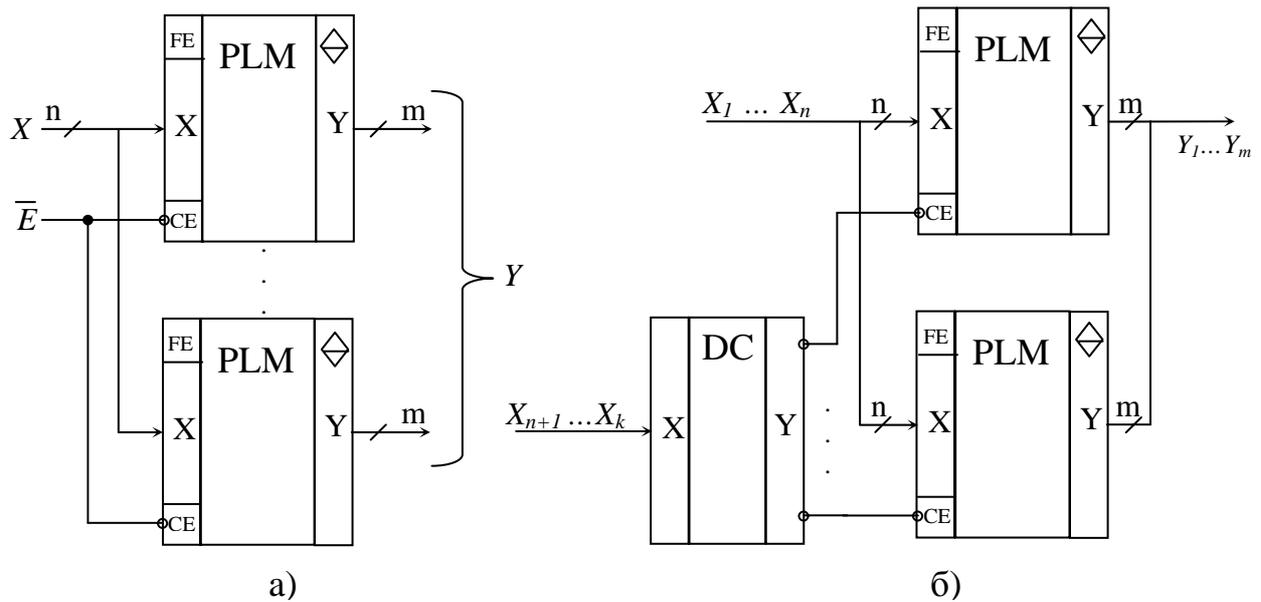


Рис. 7. 4. Схемы соединения ПЛМ для расширения логических возможностей

Для увеличения числа реализуемых функций при том же количестве входных переменных используется схема, показанная на рис. 7. 4,а. Для увеличения количества входных переменных используется дешифратор и несколько ПЛМ, соединяемых по схеме, приведенной на рис. 7. 4,б.

## 7. 5. Базовые матричные кристаллы и матричные БИС

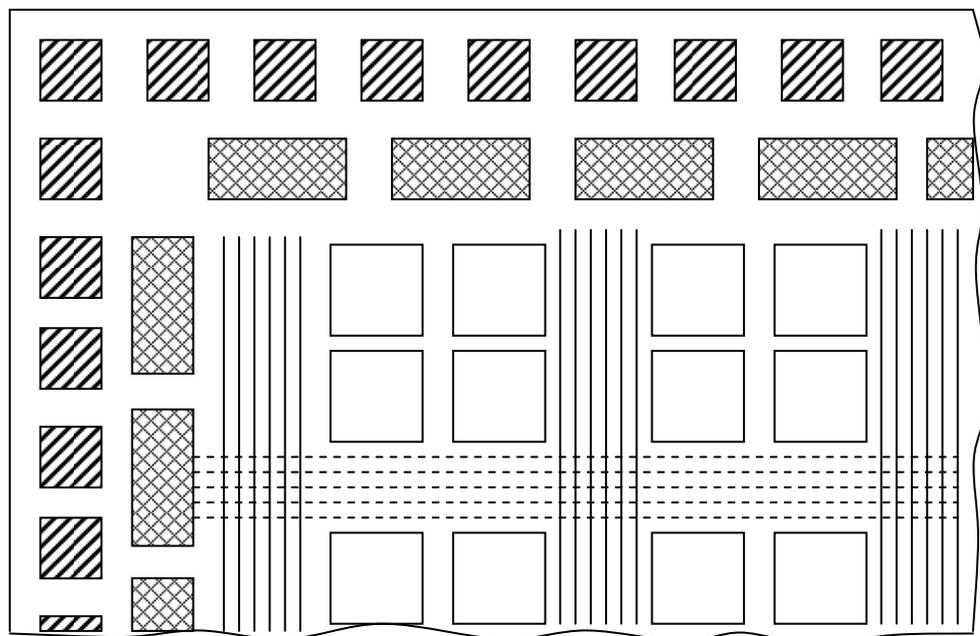
Разработка базовых матричных кристаллов (БМК) логически дополняет стратегию создания БИС, в которой доминировало два основных направления: заказные БИС с массовым тиражом и универсальные БИС широкого применения (преимущественно для построения микропроцессорных систем). При создании сложных систем обработки данных всегда остается какая-то ее часть, которая не может быть реализована на имеющихся БИС. Создание заказной БИС для реализации таких частей экономически нецелесообразно, а реализация на ИС малой и средней степени интеграции ухудшает массогабаритные показатели, быстродействие, энергетические и другие характеристики. Логически оправданным выходом из создавшегося положения является использование БМК, которые в зарубежной литературе называются полузаказными БИС (semi – custom). Промышленное производство БМК было развернуто в начале 80-х годов.

*Базовым матричным кристаллом* называют полупроводниковый кристалл с регулярно расположенными на нем топологическими фрагментами (ячейками) электронных схем, между которыми имеются свободные зоны для создания межсоединений. Другими словами, БМК

можно представить в виде полуфабриката для изготовления БИС. Заданием требуемых межсоединений БМК приспособляется к выполнению функции какого-либо сложного узла. БИС, созданные на базе БМК, называются *матричными* МАБИС. Такой подход к созданию БИС экономически оправдан, если требуемый объем выпуска БИС не превышает десятков тысяч штук.

БМК состоит из трех основных частей (рис. 7. 5):

- 1) комплекта базовых ячеек БЯ, расположенных на кристалле в виде прямоугольной матрицы;
- 2) трассировочного пространства для прокладки соединений между БЯ для реализации функционально законченной МАБИС;
- 3) периферийная часть, на которой располагаются вспомогательные узлы и контактные площадки для организации связи с внешними устройствами.



-  - контактные площадки;
-  - вспомогательные узлы;
-  - базовые ячейки;
-  - вертикальные и горизонтальные трассы.

Рис. 7. 5. Фрагмент БМК

По элементному составу БЯ различают некоммутированные логические матрицы, вентильные матрицы и комбинированные вентильные матрицы. В БЯ некоммутированных логических матриц размещаются отдельные схемные компоненты – транзисторы, диоды,

резисторы, общее количество которых составляет от 4 до 40. Так, например, БЯ для реализации ЭСЛ – МАБИС содержит до 15-18 транзисторов и 10 резисторов. Заданием межсоединений реализуется схема с требуемой функцией. Для реализации сложных схем могут быть использованы компоненты из смежных БЯ. Таким образом формируются функциональные узлы большей сложности – макроэлементы. В БЯ вентиляционных матриц размещаются логические элементы. Для удобства проектирования смежные БЯ (чаще всего 4) объединяются в топологические ячейки (ТЯ) с одинаковой топологией. Между ТЯ прокладываются требуемые межсоединения и цепи питания.

Трассировочное пространство выполняется в виде ортогонально расположенных на 2-3 уровнях проводников, разделенных слоем диэлектрика SiO. Проводники нижних уровней, прокладываемые между ТЯ, используются для межсоединений, а верхнего уровня, прокладываемые по всей поверхности кристалла, - для выполнения межсоединений и проводки шин питания.

В периферийной части размещаются металлические контактные площадки для подключения внешних выводов, устройства взаимного согласования внутренних сигналов БМК с внешними, а также другие вспомогательные узлы.

Для проектирования МАБИС используются САПР с широким использованием функциональных библиотек и метод «кремниевой компиляции», при которой исходное описание проектируемой МАБИС автоматически транслируется в более низкие уровни описания вплоть до компонента. После выполнения ряда этапов трансляции получают электрические схемы и топология всех отдельных фрагментов, соединение которых и представляет собой МАБИС. Использование средств САПР и готовых библиотечных решений сокращает сроки проектирования МАБИС до 1-2 недель. Для производства МАБИС на БМК изготавливаются фотошаблоны для нанесения рисунка межсоединений и затем выполняются технологические операции по реализации всех требуемых соединений. Полный цикл проектирования и создания образцов МАБИС может составлять 6-8 недель. Основные технические характеристики отечественных БМК на основе КМОП-технологии приведены в табл. 7. 2.

Использование технологии МАБИС значительно сокращает сроки и стоимость проектирования и производства БИС. Однако платой за это является их неоптимальность, выражающаяся, во первых, в том, что расположение элементов и возможные пути для прокладки межсоединений в БМК не являются, как правило, наилучшими; и во-вторых – часть элементов избыточна (коэффициент использования составляет 50-80 %).

По использованию площади кристалла и быстродействию МАБИС уступают заказным БИС. Однако в сравнении с реализацией на ИС малой и

средней степени интеграции применение МАБИС существенно улучшает параметры и характеристики разрабатываемых устройств.

Таблица 7. 2  
Основные технические характеристики БМК

Характеристика	Тип БМК			
	КН5501ХМ1	КН5501ХМ4	ТЦ5500	ТЦ14000
Количество внешних выводов	64	42	84	132
Количество условных вентилях в поле БМК	3036	1180	5478	13362
Максимальная тактовая частота, МГц	12	15	20	20
Срок проектирования, мес.	2-3	1	3-5	4-8
Срок изготовления опытной партии	2 – 4 недели			

Параметры и характеристики МАБИС зависят от используемой элементной базы. Производятся БМК на основе элементной базы ТТЛ, КМОП, ЭСЛ и др. Весьма перспективными являются БМК на основе арсенида галлия с задержкой на вентиль до 0,2 нс, к тому же обладающие радиационной стойкостью.

Современные интегральные технологии позволяют размещать на БМК не только нескоммутированные и вентиляльные логические матрицы, но также готовые сложные функциональные узлы, например регистры, счетчики, устройства памяти и др. Кроме рассмотренных цифровых БМК освоено также производство аналоговых и аналого-цифровых БМК для решения широкого класса задач. Следует заметить, что развитие технологии БМК и МАБИС на их основе сильно меняет подходы к разработке и производству электронных устройств и систем в отличие от традиционных. Применение МАБИС весьма перспективно для осуществления пилотных проектов, при которых в начале разрабатывается МАБИС того или иного назначения и после изучения спроса производится выпуск заказных БИС.

### Контрольные вопросы и задания

1. Достоинства устройств с программируемой структурой.
2. Области применения устройств с программируемой структурой.
3. Особенности применения мультиплексоров как устройств с программируемой структурой.
4. Синтезируйте схему полного сумматора на базе мультиплексоров.
5. Особенности применения ПЗУ для реализации функциональных преобразователей.
6. Особенности построения и применения ПЛИС.
7. Особенности построения и применения БМК.
8. Особенности построения и применения матричных БИС.

#### **Выводы**

**Применение элементов и устройств с программируемой структурой существенно изменяет подходы к проектированию и изготовлению цифровых устройств и позволяет улучшить их характеристики. В качестве элементов с программируемой структурой могут быть использованы как универсальные ЦИС (мультиплексоры и ПЗУ), так и специальные (ПЛИС и БМК).**

## 8. ОСОБЕННОСТИ ПРИМЕНЕНИЯ ЦИС

### 8. 1. Питание цифровых устройств

Питание ТТЛ-ЦИС общего применения осуществляется напряжением  $+5 \text{ В} \pm 5\%$ , а ИС специального применения  $+5 \text{ В} \pm 10\%$ . При этом напряжение пульсаций не должно превышать 100 мВ. ТТЛ-ЦИС чувствительны к перенапряжениям и даже при их кратковременных воздействиях могут выйти из строя. Как исключение, допускается кратковременное перенапряжение до 7 В в течение не более 5 мс [9].

Для исключения влияния низкочастотных помех на каждой плате с ТТЛ-ЦИС рекомендуется устанавливать электролитический конденсатор непосредственно у ввода напряжения питания из расчета не менее 0,1 мкФ на одну ЦИС. Для уменьшения влияния высокочастотных помех на плате устанавливаются также развязывающие керамические конденсаторы емкостью 0,047-0,47 мкФ (в зависимости от степени интеграции ЦИС) на каждые 5-10 корпусов [9,10]. Эти конденсаторы предназначены для повышения помехоустойчивости работы при бросках тока в цепях питания, вызванных импульсным характером потребления тока при переключениях ЛЭ. При переключениях ТТЛ-ЛЭ в течение переходного процесса длительностью приблизительно 5-10 нс открыты оба выходных транзистора, что приводит к протеканию импульсного тока. При использовании БИС керамические конденсаторы устанавливаются непосредственно у каждой ЦИС. Для повышения помехоустойчивости цифровых устройств следует обращать особое внимание на разводку шин питания. Рекомендуется размещение шины питания на одной стороне платы, а шина «земля» – с другой стороны, при этом желательно их размещать друг над другом. При наличии свободной площади на плате ее свободные пространства используются для увеличения поверхности шины «земля».

Микромощные ТТЛШ-ЦИС особенно чувствительны к наводкам, поэтому их следует по возможности располагать отдельно от других ИС, особенно быстродействующих, с использованием отдельных шин питания. При этом входные цепи таких микросхем должны быть разнесены от выходных цепей быстродействующих ИС.

Устройства на КМОП-ЦИС менее критичны к источникам питания, так как эти микросхемы могут работать в широком диапазоне питающих напряжений. Так, пульсации напряжения до  $(0,2-0,3)E_n$  не отражаются на их работоспособности. С учетом низкого энергопотребления устройства на КМОП-ИС можно питать как от химических источников тока, так и от простых выпрямителей с простейшим емкостным фильтром.

Для серий КМОП-ЦИС, допускающих широкий диапазон питающих напряжений, рекомендуется использовать следующие напряжения:

- 1) 5 В при совместном применении с ТТЛ-ЦИС. При этом следует учитывать, что при снижении напряжения питания быстродействие КМОП-ЦИС резко понижается. Например, при снижении напряжения питания с 15 до 5 В быстродействие понижается в (4-6) раз за счет увеличения сопротивления каналов МОП-транзисторов.
- 2) 9 В при совместном применении с ЦИС серии 176 или при питании от химических источников тока.
- 3) 12 или 15 В при совместном применении с аналоговыми ИС.

В цепях питания КМОП-ЦИС устанавливаются развязывающие конденсаторы: низкочастотный (до 20 кГц) из расчета 2,2 мкФ и высокочастотные (до 1,5-2,0 МГц) из расчета 0,068 мкФ на каждые 50 ЦИС.

## 8. 2. Преобразование стандартных уровней ЦИС

На практике при совместном применении ТТЛ и КМОП-ЦИС необходимо решать задачи преобразования уровней сигналов. При этом возможно два случая:

- 1) управление ТТЛ ЦИС от КМОП (сопряжение типа КМОП – ТТЛ);
- 2) управление КМОП ЦИС от ТТЛ (сопряжение типа ТТЛ-КМОП).

Сопряжения типа КМОП-ТТЛ. При организации такого сопряжения следует учитывать низкую нагрузочную способность по току КМОП-ЦИС, у которых выходной ток не превышает 0,5 – 1,1 мА в зависимости от типа элемента и серии. При этом также необходимо учитывать напряжение питания КМОП и ТТЛ-ЦИС, т.е. необходимо выполнять согласование как по току, так и по напряжению.

При одинаковом напряжении питания исходя из нагрузочной способности по току возможно непосредственное подключение к выходу КМОП-ИС 1-2 элементов микромощных ТТЛ-ИС (серии 533, 555 и 1533). При работе с ТТЛ элементами других серий или при большей требуемой нагрузочной способности по току необходимо применять КМОП-ЛЭ с повышенной нагрузочной способностью: буферные элементы (564ЛН1, 561ЛН2, 1561ЛН2) с выходным током 8-10 мА; элементы с открытым стоком (564ЛА10) или преобразователи уровней. Буферные элементы применяются при одинаковом напряжении питания. Так, например, ИС 564ЛН2 содержит 6 инверторов, к выходам которых можно подключать два ТТЛ или восемь ТТЛШ- входов. Элементы с открытым стоком и преобразователи уровня используются как при одинаковых, так и при различных напряжениях питания. На рис. 8. 1 показано сопряжение на базе элемента с открытым стоком ИС 564ЛА10. При нагрузочном сопротивлении 3,3 кОм к одному выходу можно подключать до 10 входов элементов 155 серии. На рис. 8. 2 показаны элементы преобразователей уровней для сопряжения при различных напряжениях питания [7].

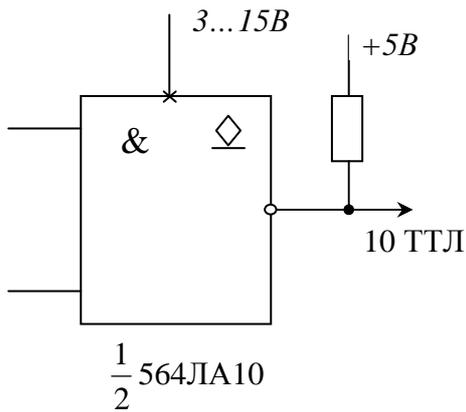


Рис. 8. 1. Сопряжение на базе ЛЭ с открытым стоком

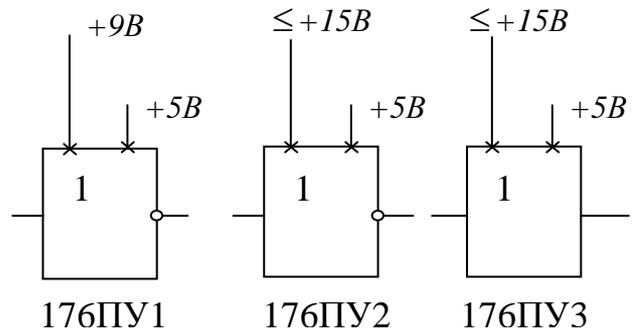


Рис. 8. 2. ИС преобразователей уровня КМОП-ТТЛ

Сопряжение ТТЛ-КМОП. В сопряжениях такого типа необходимо согласование напряжений. С учетом высокого порогового напряжения КМОП ЦИС даже при одинаковом напряжении питания +5В необходимо принимать меры по повышению уровня логической «1» на выходе ТТЛ-ИС, который может снижаться до 2,4 В. Для этого достаточно между выходом стандартного элемента ТТЛ и шиной питания +5В подключить «подтягивающий резистор» сопротивлением 3,3 кОм (рис. 8. 3). В случае различного напряжения питания (как правило, напряжение питания КМОП-ИС выше) следует использовать ТТЛ-элементы с открытым коллектором, допускающим работу с повышенным напряжением (до 15 В для ИС 155ЛА7, 155ЛА8, 155ЛА10, 155ЛА11, 155ЛА13, 155ЛН2; до 30 В для ИС 155ЛН3, 155ЛП9) или преобразователи уровня 176ПУ5, 564ПУ6-8 (рис. 8. 4) [7]. Преобразователь 176ПУ5 имеет прямые и инверсные выходы, а преобразователь 564ПУ6 имеет выход с тремя состояниями. Преобразователи 564ПУ7 (инвертирующий) и 564ПУ8 (неинвертирующий) выполнены без расширенных функциональных возможностей.

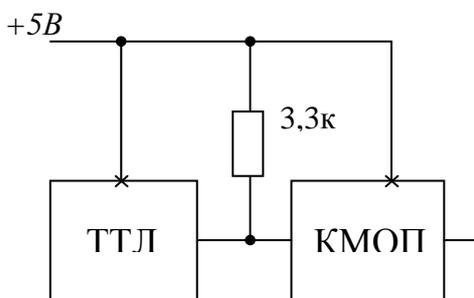


Рис. 8. 3. Вариант сопряжения ТТЛ-КМОП

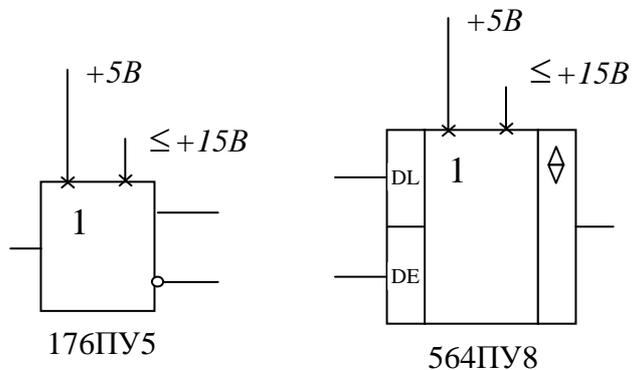


Рис. 8. 4. ИС преобразователей уровня ТТЛ-КМОП

### 8. 3. Согласование с нестандартными уровнями входных сигналов

ЦИС управляются стандартными уровнями сигналов, на которые накладываются ограничения как сверху, так и снизу. Так для большинства ТТЛ-ЦИС предельно допустимое положительное напряжение на входе составляет 4,5 В, а отрицательное напряжение на входе составляет -0,4 В. Поэтому при уровнях сигналов, выходящих за указанные пределы необходимо принимать специальные меры. На рис. 8. 5,а показан способ подачи сигнала с уровнями, превышающими верхний и нижний пределы. Диод VD1 при воздействии положительной полярности входного сигнала создает на входе ТТЛ-ЦИС напряжение равное  $E_{\text{н}} - U_{\text{np}}$ , где  $U_{\text{np}}$  - прямое падение напряжения на диоде. При воздействии отрицательной полярности сигнала уровень на входе ИС будет ограничен значением  $-U_{\text{np}}$ .

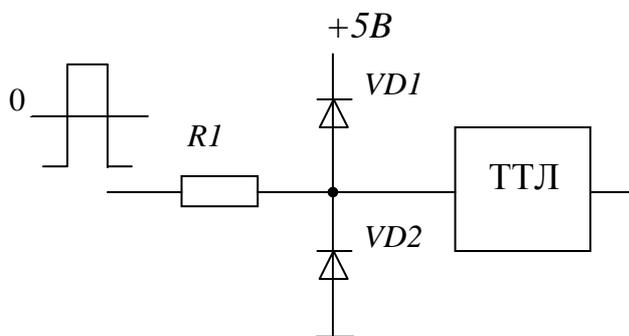


Рис. 8. 5. Подача двухполярного сигнала на вход ТТЛ-ЦИС

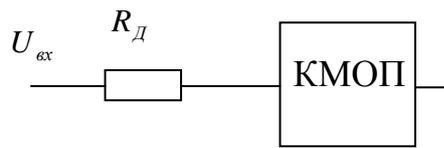


Рис. 8. 6. Ограничение входных токов КМОП-ЦИС

Входные цепи КМОП-ИС содержат встроенную защиту в виде охранных диодов. Тем не менее, входное напряжение КМОП-ЦИС для предотвращения протекания больших токов через входные охранные

диоды не должно превышать

$$-0,7\text{ В} \leq U_{\text{вх}} \leq E_{\text{н}} + 0,7\text{ В}.$$

В случае выхода напряжения за указанные пределы на входе КМОП-ЦИС устанавливается дополнительный резистор  $R_d$ , ограничивающий ток на уровне 1-2 мА (рис. 8. 6). Сопротивление этого резистора рассчитывается по формуле [кОм]

$$R_d = \frac{|U_{\text{вх}}| - 0,7}{(1 \div 2) \cdot 10^{-3}}.$$

## 8. 4. Монтажная логика

Расширение логических возможностей ЦИС в отдельных случаях может быть достигнуто соответствующим монтажом выходных цепей ЛЭ. Наличие в сериях ТТЛ-ИС элементов с открытым коллектором позволяет реализовать операцию «монтажное ИЛИ» (рис. 8. 7) вида:

$$Y = \overline{X_1 X_2 \vee \dots \vee X_{n-1} X_n}$$

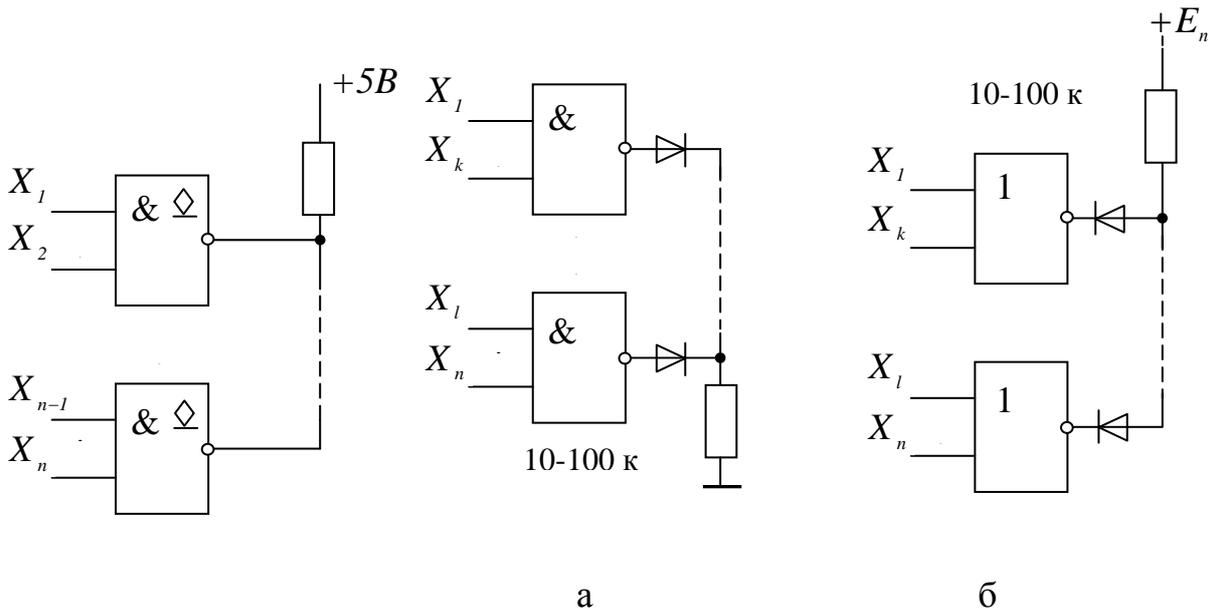


Рис. 8. 7. Монтажное ИЛИ

Рис. 8. 8. Монтажное И-НЕ и ИЛИ-НЕ

На рис. 8. 8, *а* и *б* показаны варианты реализаций операций И-НЕ и ИЛИ-НЕ на КМОП-ЛЭ. Схемы реализуют соответственно логические выражения

$$Y = \overline{X_1 X_2 \dots X_k \vee X_l X_{l+1} \dots X_n} = \overline{X_1 X_2 \dots X_n};$$

$$Y = \overline{X_1 \vee X_2 \vee \dots \vee X_k} \cdot \overline{X_l \vee X_{l+1} \vee \dots \vee X_n} = \overline{X_1 \vee X_2 \vee \dots \vee X_n}.$$

## 8. 5. Неиспользуемые элементы и входы ЦИС

ЦИС, как правило, содержат по несколько ЛЭ. При проектировании устройств нередко некоторые ЛЭ остаются неиспользованными. В таких случаях для уменьшения энергопотребления следует на входы таких ТТЛ-ЛЭ подавать постоянный уровень «0» или «1» таким образом, чтобы обеспечивалось выходное состояние «1». Для элементов инвертирующего типа входы соединяются с шиной «земля». В последующем эти ЛЭ могут быть использованы в качестве «генератора «1» для подачи «1» на неиспользуемые входы задействованных ЦИС.

Для повышения помехоустойчивости и предотвращения снижения быстродействия цифровых устройств неиспользуемые входы задействованных ЦИС следует соединять с используемыми входами или подавать на них уровни «0» или «1». При этом возможны следующие варианты:

- 1) объединение с используемыми входами, если это не ведет к превышению нагрузочной способности ЦИС, к выходу которой они подключены;
- 2) в тех случаях, когда на входе должен быть «0» его подключают к шине «земля»;
- 3) в тех случаях, когда на входе должна быть «1» его подключают:
  - к шине питания через резистор в 1 кОм (при этом к одному резистору может быть подключено до 20 входов);
  - к выходу «генератора «1» (см. выше): при этом к одному «генератору» может быть подключено число входов согласно коэффициенту разветвления для него.

Подача «0» или «1» на неиспользуемый вход производится с учетом выполняемой данным входом логической функции. Например:

- на неиспользуемый вход многовходового элемента И подается «1», а элемента И-НЕ «0»;
- на неиспользуемый вход многовходового элемента ИЛИ подается «0», а элемента ИЛИ-НЕ «1»;
- если у ЛЭ И-ИЛИ-НЕ в секции И остаются свободные входы, их следует объединить с используемыми входами той же секции. Если вся секция И не используется, то все входы данной секции следует соединить с шиной «земля»;
- неиспользуемые входы для подключения расширителей по ИЛИ оставляются свободными.

Для КМОП-ЦИС действуют те же правила, что и для ТТЛ-ЦИС. При этом имеются следующие особенности.

- В отличие от ТТЛ-ЦИС требования к подключению неиспользуемых входов более категоричны, т.к. из-за большого входного сопротивления наводки на неиспользуемые входы могут перевести оба выходных МОП-транзистора в активный режим. Следствием этого является возникновение большого сквозного тока, приводящего к повреждению выходных транзисторов.
- Для подачи уровня «1» входы можно подключать непосредственно к шине питания.
- Так как токи потребления у КМОП-ЦИС в состояниях «0» и «1» одинаковые, то входы неиспользуемых ЛЭ можно подключать как к шине «земля», так и к шине питания.

## 8. 6. Подключение устройств с механическими контактами

Для ввода данных или управления работой цифровых устройств иногда требуется применение механических ключей (кнопок, тумблеров и т.д.). При не критичности работы схемы к дребезгу переключающегося контакта возможны варианты подключения ключей, показанные на рис. 8. 9. В общем случае ключ может быть подключен к «земле» или к шине питания. Для ТТЛ-ЦИС предпочтителен первый вариант, как более простой, т.к. при подключении к шине питания последовательно с ключом потребуется установка еще одного ограничивающего резистора. Для КМОП-ЦИС можно использовать оба варианта.

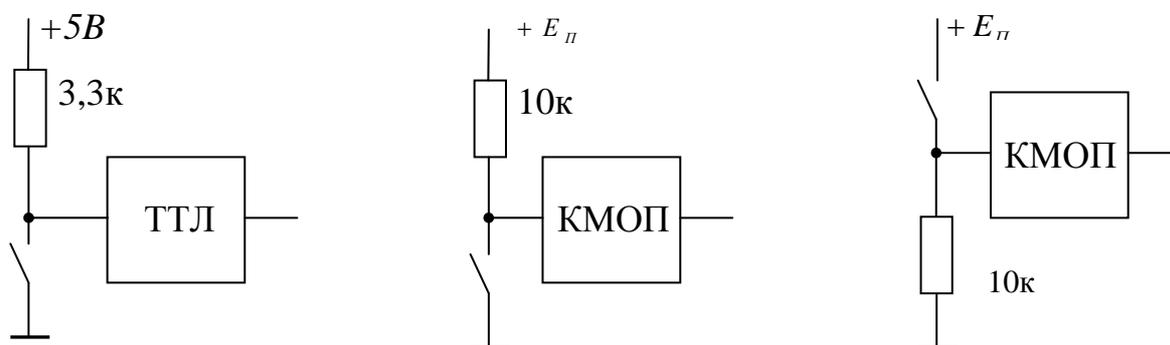


Рис. 8. 9. Простейшие варианты подключения механических контактов

При замыкании контактов механических ключей наблюдается дребезг контактов, который в зависимости от конструкции и габаритов контактов может длиться от 1 до 50 мс, что в ряде случаев может привести к многократному срабатыванию цифровых устройств, например триггеров, счетчиков и т.д. В подобных случаях необходимо использовать схемы подключения, подавляющие дребезг контактов. Наиболее широко для этих целей используется схема на базе асинхронного RS-триггера, показанная на рис. 8. 10,а. Временные диаграммы работы этой схемы приведены на рис. 8.10,б. Дребезг подвижного контакта в нижнем положении (диаграмма 2) не приводит к изменению состояния RS-триггера. В КМОП-ЦИС может быть использована схема подавления дребезга за счет интегрирующей цепи  $R2C1$ , постоянная времени которой выбирается в пределах 10-50 мс (рис. 8. 10,в). Этот способ непригоден для ТТЛ-ЦИС, имеющих низкое входное сопротивление.

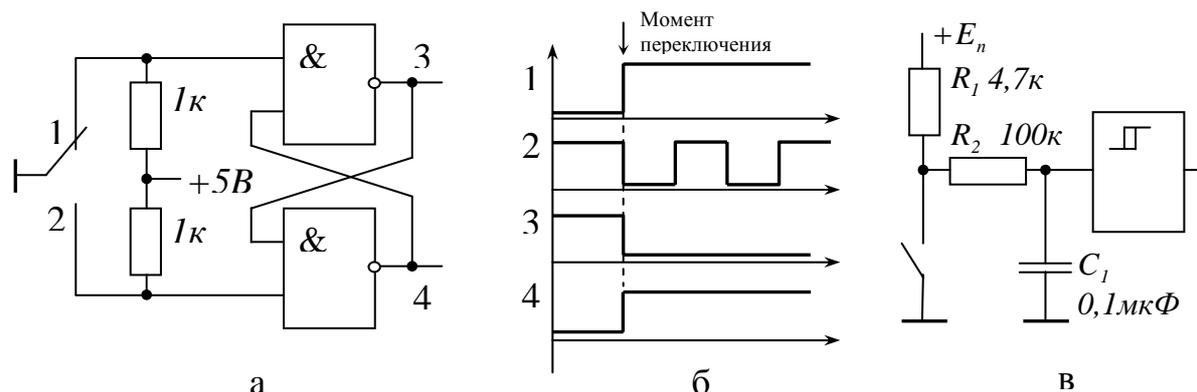


Рис. 8. 10. Схемы подавления дребезга контактов

Существуют и другие варианты построения устройств для устранения дребезга механических контактов.

## 8. 7. Выполнение соединений

Основные рекомендации по выполнению внутripлатных и межплатных соединений направлены на обеспечение помехоустойчивости работы цифровых устройств.

Для устройств, выполняемых на ТТЛ-ЦИС, рекомендуются следующие правила при проектировании печатных плат:

- проводники с информационными сигналами расположенные на разных сторонах платы или в разных слоях, должны пересекаться под углом 90 градусов для уменьшения емкостной связи между ними;
- максимальная длина параллельных проводников, расположенных на одной стороне платы или в одном слое, должна выбираться согласно рекомендациям, приведенным в работе [10];
- длина печатного проводника не должна превышать 20-30 см; при большей длине проводника его следует выполнять с помощью объемного монтажа (отдельным проводом или кабелем).

В устройствах на ТТЛ ЦИС соединительные линии длиной до 20 см для асинхронных схем и 30 см для синхронных схем могут выполняться одиночными проводами. Линии до 1 м выполняются несогласованными витыми парами, при этом провод «земля» должен быть заземлен на передающей и приемной сторонах. Линии длиной от 1 до 3 м выполняются согласованными витыми парами. При длине свыше 3 м соединение выполняется коаксиальным кабелем с волновым сопротивлением 100 Ом. При этом возможно как последовательное согласование на передающей стороне (согласующее сопротивление 82 Ом), так и параллельное

согласование на приемной стороне (сопротивление 100 Ом). Длина коаксиального кабеля не должна превышать 30 м. При этом следует учитывать что кабель вносит задержку распространения сигнала, равную приблизительно [нс]

$$t_{\text{зад}} = 5L ,$$

где  $L$  – длина кабеля в метрах.

Устройства на КМОП-ЦИС имеют высокую помехоустойчивость и меньшее быстродействие. Поэтому требования к их монтажу на платах менее жесткие. Однако из-за высоких значений входного и выходного сопротивлений, к ним предъявляются более жесткие ограничения по допустимой емкостной нагрузке. Кроме того, для предотвращения перехода выходных транзисторов в активный режим предъявляются более жесткие требования к крутизне фронтов входных сигналов.

При работе с длинными соединительными линиями в качестве передающих устройств и приемных устройств следует использовать специальные ЦИС формирователей или приемопередатчиков [7,10,11,12].

#### Контрольные вопросы

1. Какие требования предъявляются к величине и стабильности напряжения питания для ЦИС различных серий?
2. С какой целью в цепях питания ЦИС устанавливаются электролитические и керамические конденсаторы?
3. Способы преобразования стандартных уровней ЦИС.
4. Способы согласования с нестандартными уровнями входных сигналов.
5. Что такое монтажная логика?
6. Почему нельзя оставлять неиспользуемые входы ЦИС в отключенном состоянии?
7. Почему не следует оставлять неиспользуемые элементы ЦИС с неподключенными входами?
8. Особенности подключения устройств с механическими контактами к цифровым устройствам.
9. Особенности выполнения соединений в цифровых устройствах.

#### Выводы

Для обеспечения надежной работы цифрового устройства при его проектировании необходимо придерживаться определенных правил проектирования, касающихся особенностей организации цепей питания; электрического согласования как по уровню входных сигналов, так и по нагрузочной способности; обращения с неиспользуемыми элементами и входами ЦИС; подключения устройств с механическими контактами; выполнения соединений и др.

## **ЗАКЛЮЧЕНИЕ**

Развитие цифровой электроники непосредственно связано с повышением степени интеграции и расширения функций ЦИС. С одной стороны это упрощает реализацию и повышает технико-экономические показатели цифровых систем обработки данных, с другой стороны – требует от разработчиков знаний не только цифровой электроники, но и систем автоматизированного проектирования и схемотехнического моделирования, без которых в настоящее время трудно представить процесс создания электронных устройств и систем.

В данном учебном пособии изложены вопросы, необходимые для начального освоения цифровой электроники. При решении практических задач от разработчика цифровых систем потребуются дополнительные знания и сведения, которые можно найти в специальной и справочной литературе.

## **СПИСОК ЛИТЕРАТУРЫ**

### **Учебники и учебные пособия**

1. Скаржепа В. А., Луценко А. И. Электроника и микросхемотехника. Электронные устройства информационной автоматики: Учебник /Под общ. ред. А. А. Краснопрошиной. – Киев: Выща шк., 1989. – Ч.1. – 431 с.
2. Гусев В. Г., Гусев Ю. М. Электроника: Учеб. пособие. – М.: Высш. шк. 1991. – 622 с.
3. Алексенко А. Г., Шагурин И. И. Микросхемотехника: Учеб. пособие. – М.: Радио и связь, 1990. – 496 с.
4. Угрюмов Е. П. Проектирование элементов и узлов ЭВМ: Учеб. пособие. – М.: Высш. шк., 1987. – 318 с.
5. Пряшников В. А. Электроника: Курс лекций. – СПб.: КОРОНА-принт, 1998. – 400 с.

### **Рекомендуемая литература для углубленного изучения**

6. Букреев И. Н., Горячев В. И., Мансуров Б. М. Микроэлектронные схемы цифровых устройств. – М.: Радио и связь, 1990. – 416 с.
7. Пухальский Г. И., Новосельцева Т. Я. Проектирование дискретных устройств на интегральных микросхемах: Справочник. – М.: Радио и связь, 1990. – 304 с.
8. Потемкин И. С. Функциональные узлы цифровой автоматики. – М.: Энергоатомиздат, 1988. – 320 с.
9. Зельдин Е. А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. – Л.: Энергоатомиздат, 1986. – 280 с.
10. Аналоговые и цифровые интегральные схемы: Справочное пособие /Под ред. С. В. Якубовского. – М.: Радио и связь, 1985. – 432 с.
11. Хоровиц П., Хилл У. Искусство схемотехники: В 2 т. – М.: Мир, 1983.-Т.2.
12. Белоус А. И., Блинков О. Е., Силин А. В. Биполярные микросхемы для интерфейсов систем автоматического управления. - Л.: Машиностроение, 1990.

## Оглавление

<b>ВВЕДЕНИЕ.....</b>	<b>3</b>
<b>1. ЦИФРОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ.....</b>	<b>4</b>
1.1. Общие сведения о логических элементах и цифровых интегральных схемах.....	4
1.2. Основные параметры и характеристики ЦИС.....	6
1.3. Основные серии ЦИС и их сравнительная характеристика.....	9
1.4. Схемотехника ЦИС.....	13
1. 4. 1. Схемотехника ТТЛ – ЦИС.....	13
1. 4. 2. Схемотехника КМОП – ЦИС.....	17
1. 4. 3. Схемотехника ЭСЛ – ЦИС.....	19
<b>2. КОМБИНАЦИОННЫЕ ЦИФРОВЫЕ УСТРОЙСТВА.....</b>	<b>21</b>
2.1. Сумматоры .....	21
2.2. Дешифраторы.....	24
2.3. Шифраторы.....	27
2.4. Мультиплексоры.....	30
2.5. Демультимплексоры.....	33
2.6. Преобразователи кодов.....	35
2.7. Схемы сравнения.....	37
<b>3. ТРИГГЕРЫ.....</b>	<b>40</b>
3.1. Общие сведения и классификация.....	40
3.2. RS-триггеры.....	41
3.3. JK-триггеры.....	44
3.4. T-триггеры.....	45
3.5. D-триггеры.....	46
<b>4. СЧЕТЧИКИ.....</b>	<b>48</b>
4.1. Основные понятия и классификация счетчиков.....	48
4.2. Асинхронные счетчики.....	50
4.3. Синхронные счетчики и счетчики с параллельным переносом.....	52
4.4. Счетчики с произвольным модулем счета.....	54
<b>5. РЕГИСТРЫ.....</b>	<b>58</b>
5.1. Классификация регистров.....	58
5.2. Параллельные регистры.....	58
5.3. Сдвигающие регистры.....	60

<b>6. ЗАПОМИНАЮЩИЕ УСТРОЙСТВА.....</b>	<b>64</b>
6.1. Классификация полупроводниковых запоминающих устройств.....	64
6.2. Оперативные запоминающие устройства.....	65
6.3. Постоянные запоминающие устройства.....	69
<b>7. ЭЛЕМЕНТЫ И УСТРОЙСТВА С ПРОГРАММИРУЕМОЙ СТРУКТУРОЙ.....</b>	<b>72</b>
7.1. Общие положения.....	72
7.2. Применение мультиплекторов для реализации комбинационных устройств.....	73
7.3. Применение ПЗУ для реализации комбинационных устройств и функциональных преобразователей.....	75
7.4. Программируемые логические матрицы.....	77
7.5. Базовые матричные кристаллы и матричные БИС.....	80
<b>8. ОСОБЕННОСТИ ПРИМЕНЕНИЯ ЦИС.....</b>	<b>85</b>
8.1. Питание цифровых устройств.....	85
8.2. Преобразование стандартных уровней ЦИС.....	86
8.3. Согласование с нестандартными уровнями входных сигналов.....	88
8.4. Монтажная логика.....	89
8.5. Неиспользуемые элементы и входы ЦИС.....	89
8.6. Подключение устройств с механическими контактами.....	91
8.7. Выполнение соединений.....	92
<b>ЗАКЛЮЧЕНИЕ.....</b>	<b>94</b>
<b>СПИСОК ЛИТЕРАТУРЫ.....</b>	<b>95</b>

Учебное издание

Чье Ен Ун

**Электроника. Цифровые элементы и устройства**

Учебное пособие

Научный редактор канд. техн. наук А.В. Левенец

Главный редактор Л.А.Суевалова

Редактор Л.А. Суевалова

Компьютерная верстка И.В. Евтюгина

Подписано в печать . Формат 60x84 1/16.

Бумага писчая. Печать офсетная. Гарнитура «Таймс» Усл. печ. л. 5,5.

Уч.-изд. л. 4,8. Тираж 150 экз. Заказ С71.

Издательство Хабаровского государственного технического университета. 680035, Хабаровск, ул. Тихоокеанская, 136.

Отдел оперативной полиграфии издательства Хабаровского государственного технического университета. 680035, Хабаровск, ул. Тихоокеанская, 136.